

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07046198 A**

(43) Date of publication of application: 14.02.95

(51) Int. Cl.

**H04B 14/04****G11B 20/10****H04J 3/22****H04N 7/24**

(21) Application number: 05190513

(71) Applicant: SONY CORP

(22) Date of filing: 30.07.93

(72) Inventor: MAAKU FUERUTOMAN

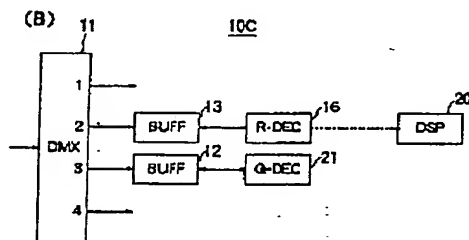
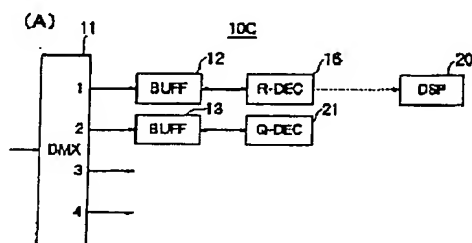
(54) DECODING METHOD AND DECODER

COPYRIGHT: (C)1995,JPO

(57) Abstract:

PURPOSE: To decode a played back or channel-switched video signal with short start-up delay.

CONSTITUTION: A decoder 16, a pseudo decoder 21 which nullifies data accumulated in buffer memory, and buffer memory 12, 13 which receive a video signal from a de-multiplexing circuit 11 and buffer it for prescribed delay time at the front stage of the pseudo decoder 21 are provided at a decoder 10C. When channel switching from 1 to 2 is performed, the video signal of channel 2 is started to be accumulated in unused buffer memory 13, and the decoder 16 performs decoding processing on the video signal accumulated in the buffer memory 13. The pseudo decoder 21 nullifies the data accumulation state of the video signal of channel 1 accumulated in the buffer memory 12. Since the decoder 16 can perform the decoding processing even without standing by until the data stored in the buffer memory 12 is discharged even by performing the channel switching, start-up delay can be reduced.



[Claims]

[Claim 1] A method for receiving at least compressed video signals of plural channels, buffering a compressed video signal of a channel selected from the plural channels with a predetermined delay time in a buffer memory, and decoding the buffered video signal, said method comprising:

buffering the video signal of the newly selected channel into an unused buffer memory means,

decoding the video signal that is newly buffered, and

nullifying the video signal stored in the buffer memory means in which the video signal of the channel before the selection is stored.

[Claim 2] A decoding method as defined in Claim 1 wherein said decoding processing is performed also for an audio signal that is compressed simultaneously with the compressed video signal.

[Claim 3] A decoding method as defined in Claim 2 wherein the video signal and the audio signal are in a bitstream form.

[Claim 4] A decoding means comprising:

a means for receiving at least compressed video signals of plural channels, and outputting a compressed video signal of a channel selected from the plural channels;

at least two buffer memory means capable of performing parallel operations, which are operatively connected to the selection output means so as to receive the video signal outputted from the selection output means, and buffer the video

signal with a predetermined delay time;

at least one decoding means which is operatively connected to one of the buffer memory means, and reads and decodes the video signal stored in the connected buffer memory means; and

at least one quasi decoding means which is operatively connected to one of the buffer memory means to which the decoding means is not operatively connected, and nullifies the video signal stored in the connected buffer memory means.

[Claim 5] A decoding apparatus as defined in Claim 4 wherein

one said decoding means is provided;

two said quasi decoding means are provided before and behind the decoding means sandwiching the same in view of the channel position;

three said buffer memory means are provided;

said channel switching is successively and continuously carried out;

the video signal of the selected channel that is supplied from the selection output means is stored in the buffer memory means that is operatively connected to the decoding means;

said decoding means decodes the video signal that is stored in the buffer memory in which the video signal is stored; and

one of the quasi decoding means, which is located at a position that follows the channel selection, nullifies the video signal in the buffer memory means in which the video signal has been stored just before the channel selection.

[Claim 6] A decoding apparatus as defined in Claim 4 or 5 wherein said decoding processing is performed also for an audio signal that has been compressed simultaneously with the compressed video signal.

[Claim 7] A decoding apparatus as defined in Claim 6 wherein the video signal and the audio signal are in a bitstream form.

[Claim 8] A decoding method for receiving at least a compressed video signal, buffering the compressed video signal with a predetermined delay time in a buffer memory means, and decoding the buffered video signal, said method comprising:

when playback is requested, buffering the video signal from the timing of the requested playback into an unused buffer memory means;

decoding the video signal that is newly buffered; and

nullifying the video signal stored in the buffer memory means in which the video signal before the occurrence of the playback request is stored.

[Claim 9] A decoding method as defined in Claim 8 wherein said decoding processing is performed also for an audio signal that has been compressed simultaneously with the compressed video signal.

[Claim 10] A decoding apparatus comprising:

at least two buffer memory means capable of performing parallel operations, which receive at least a compressed video signal, and buffer the video signal with a predetermined delay



time;

at least one decoding means which is operatively connected to one of the buffer memory means, and reads and decodes the video signal stored in the connected buffer memory means; and

at least one quasi decoding means which is operatively connected to one of the buffer memory means to which the decoding means is not operatively connected, and nullifies the video signal stored in the connected buffer memory means;

wherein, when playback is requested, the video signal from the timing of the requested playback is buffered in the buffer memory means that is operatively connected to the quasi decoding means;

the decoding means decodes the video signal that is newly buffered; and

the quasi decoding means nullifies the video signal stored in the buffer memory means in which the video signal before the occurrence of the playback request is stored.

[Claim 11] A decoding apparatus as defined in Claim 10 wherein said decoding processing is performed also for an audio signal that has been compressed simultaneously with the compressed video signal.

[Claim 12] A decoding apparatus as defined in Claim 11 wherein the video signal and the audio signal are in a bitstream form.

[Detailed Description of the Invention]

[0001]

[Industrial Field of the Invention]

The present invention relates to a method and an apparatus for processing an image signal (video signal) and an acoustic signal or a voice signal (audio signal). Particularly, the present invention relates to a method and an apparatus for processing an audio visual (AV) signal, which compresses and encodes a video signal and an audio signal synchronized with the video signal to provide the signals as bitstreams to a data transfer system or a data storage system, and further, decompresses and decodes the bitstream outputted from the data transfer system or the data storage system. More particularly, the present invention relates to a method and an apparatus for reducing startup delay that occurs at playback or at channel switching when the decoded signal is processed.

[0002]

[Prior Art]

In a video tape recording/playback device, a multimedia system, or other video and audio data processing devices, a video signal and an audio signal are compressed, multiplexed, and directly recorded as bitstreams onto a digital data storage medium such as a compact disk read-only memory (CD-ROM), a laser disk (LD), a video tape, a magnetooptic recording medium (MO), or a DCC, and thereafter, the multiplexed bitstream is read from the data storage medium, and subjected to demultiplexing and decompression that is reverse to the compression, thereby to

reproduce (decode) the original video signal and the original audio signal before the compression. Further, also in television broadcasting, satellite broadcasting, or a multimedia system, a video signal and an audio signal are compressed, encoded, and outputted as a multiplexed bit stream to a data transfer system or a data storage system, and thereafter, the multiplexed bitstream is inputted, demultiplexed, and decompressed to decode the original video signal and audio signal.

[0003]

As an international standard for coding of motion pictures for storage, which comprises recording compressed and encoded video signal and audio signal onto a data storage medium such as a CD-ROM, an LD, or a video tape, and decompressing the encoded video signal and audio signal recorded on the data storage medium to decode them to the original video signal and audio signal, there has been known MPEG1 standard and MPEG2 standard that are determined by MPEG (Motion Picture Image Coding Expert Group) in working group (WG) 11 in SC2 under JTC1 that handles common terms in data processing fields of ISO and JEC.

[0004]

The MPEG is a standard that premises wide-range application, and a case where phase sync (phase lock) is performed and a case where phase sync (unlock) is not performed are expected. When phase sync is performed, a video signal coding clock (i.e., frame rate) and an audio signal coding clock (i.e., audio signal

sampling rate) are phase locked to a common system clock reference. The MPEG requests, in this case, that timestamps are added to a multiplexed bitstream at intervals of 0.7 sec. When phase sync is not performed, the video signal and the audio signal are independently processed, and these signals are decoded on the basis of the respective timestamps that have been added thereto during coding.

[0005]

Further, the MPEG defines 1 sec as a buffer delay time of a system target decoder. Further, the MPEG defines providing a directory for searching for a video signal and an audio signal during decoding.

[0006]

Figure 5 is a diagram illustrating a construction of a video and audio signal processing apparatus to which the MPEG1 or MPEG2 is applied, and illustrates how the coding system 100 receives an uncompressed video signal S2 and an uncompressed audio signal S3, generates certain information relating to a constraint parameter system target decoder 400, and forms a constraint bitstream suited to various kinds of decoding systems. The video and audio signal processing apparatus includes an uncompressed video signal source 2 for providing a video signal before compression (original video signal), an uncompressed audio signal source 3 for providing an original audio signal before compression, a coding system 100 for receiving the uncompressed video signals S2

and the uncompressed audio signal S3, and subjecting these signals to predetermined compression, encoding, and multiplexing to output a compressed and coded signal in a bitstream form S100, and a data transmission system or data storage system 5 for transmitting or storing the compressed and coded signal in a bitstream form S1 outputted from the coding system 100. As for the data transmission system or data storage system 5, a CD-ROM, an LD, a video tape or the like is employed when data storage is carried out, while a television broadcast communication system, a communication satellite system, or a data communication system is employed when data transmission is carried out. The video and audio signal processing apparatus further includes a decoding system 600 which receives the compressed and coded signal in a bitstream form S5 outputted from the data transmission system or data storage system 5, subjects the signal S5 to demultiplexing that is reverse to the multiplexing performed in the coding system 100, and subjects the signal S5 to decompression that is reverse to the compression performed in the coding system 100, thereby decoding an uncompressed video signal S6A and an uncompressed audio signal S6B which are equivalent to the uncompressed video signal S2 and the uncompressed audio signal S3 before being inputted to the coding system 100. The video and audio signal processing apparatus further includes a constraint parameter system target decoder (STD) 40 which outputs a guideline (reference signal) S4A to the coding system 100 and a

guideline (reference signal) S4B to the decoding system 6A for regulating the processings of the coding system 100 and the decoding system 600, respectively.

[0007]

Although the constraint parameter system target decoder 400 is also referred to as a hypothetical system target decoder, a system reference decoder, or a reference decoding system, it is hereinafter referred to as a constraint parameter system target decoder or simply as a system target decoder. The constraint parameter system target decoder 400 is used in the international standards such as CCITT H.261 and MPEG1 video standard, and provides guidelines for designers designing video signal encoders and video signal decoders. In the MPEG1 system standard, a system target decoder (STD) also includes a reference audio signal decoder. In these reference models, the respective video signal and audio signal decoders have buffers having recommended buffer sizes, respectively, and standards describing how the video signal and audio signal decoders are to be operated. The model having the recommended buffer size is referred to as a "constraint parameter system target decoder (STD)". Practically, it is hoped that there do not exist a great number of practical decoding systems whose performances are not higher than that of the constraint parameter system target decoder (STD). Accordingly, when bitstreams are generated and when these bitstreams are required to reach a large number of actual

decoders, the coding system generally produces bitstreams suited to the constraint parameter system target decoder. These multiplexed bitstreams are referred to as constraint system parameter streams (CSP).

[0008]

The constraint parameter system target decoder 400 includes a demultiplexer 401, a video signal buffer 402, an audio signal buffer 403, a video signal decoder 404, and an audio signal decoder 405. In this example, the video signal buffer 402 has a storage capacity of 46 KB, and the audio signal buffer 403 has a storage capacity of 4 KB. The demultiplexer 401 has a switching circuit, and it is desired that the video signal decoder 404 and the audio signal decoder 405 are integrally constituted by a high-speed digital signal processing unit (DSP) having a construction suited to high-speed arithmetic processing, in view of the device structure and flexibility.

[0009]

Figure 6(A) shows a format of a constraint parameter (multiplexing) system bitstream CPSP to be input to the constraint parameter system target decoder 400. This bitstream comprises plural packs arranged timewise, and each pack includes a header, a video signal packet, and an audio signal packet. Each video signal packet comprises video signals of respective frames, and a packet header including timestamps indicating the times of the frames. Each audio signal packet comprises audio

signals of predetermined units and a packet header including timestamps indicating the times of the units. A timestamp of a frame  $n+1$  relating to the video signal is referred to as a video timestamp  $vts$ , and a timestamp of a unit  $n+1$  relating to the audio signal is referred to as an audio timestamp  $ats$ . That is, the coding system 100 encodes the uncompressed video signal  $S2$  and the uncompressed audio signal  $S3$  and generates a multiplexed bitstream of the format shown in figure 6(A) to transmit it to the data transmission system or data storage system 5, and the constraint parameter system target decoder 400 receives and decodes a multiplexed bitstream  $S5$  including an compressed and coded signal based on this bitstream.

[0010]

The uncompressed video signal  $S2$  and the uncompressed audio signal  $S3$  inputted to the coding system 100 have different numbers of data, different speeds, and further, different compression ratios. Therefore, even when the video signal and the audio signal which are simultaneously inputted to the coding system 100 are subjected to compression, a coded video signal and a coded audio signal of the same speed and the same size are not provided. Further, for example, as for the video signal, the compression ratio varies depending on the contents of the video signal. The same can be said for the audio signal. Accordingly, a coded video signal and a coded audio signal in fixed states (conditions) are not outputted from the coding system 100. In



the decoding system 600, when the original video signal and audio signal are decoded as uncompressed video signal S6A and uncompressed audio signal S6B, respectively, synchronization for timing is required to be taken. In order to realize such synchronization, the MPEG defines that the above-mentioned timestamps are added to the respective frames of the video signal and the audio signal. That is, video signal timestamps and audio signal timestamps indicate times that define clocks for performing decoding with synchronizing the video signal and the audio signal, and the audio signal timestamps indicate the times for generating clocks for performing decoding of the audio signal. The purposes of using the timestamps are, besides taking the above-mentioned synchronization, to solve the problem of buffering and to copy the data in the coding system.

[0011]

Figure 7 is a block diagram of the decoding system 600. The decoding system 600 comprises a demultiplexer 601, a video signal bitstream construction conversion unit 602, a video signal reception buffer 603, a video signal decoder 604, a picture rate control circuit 605, an audio signal bitstream construction conversion unit 606, an audio signal reception buffer 607, an audio signal decoder 608, and a sampling rate control circuit 609. The demultiplexer 601 receives the multiplexed bitstream S5 of the above-mentioned format, and demultiplexes (separates) the bitstream S5 into a video signal, a video timestamp vts, an audio

signal, and an audio timestamp ats. The video signal bitstream construction conversion unit 602 receives the demultiplexed video signal and video timestamp vts, and converts them into a format shown in figure 6(B). The video signal reception buffer 603 successively stores the converted video signals, and outputs the video signals to the video signal decoder 604 according to the storage order. Likewise, the audio signal bitstream construction conversion unit 606 receives the demultiplexed audio signal and audio timestamp ats, and converts them into a format shown in figure 6(B). The audio signal reception buffer 607 successively stores the converted audio signals, and outputs the audio signals to the audio signal decoder 608 according to the order of storage. The video signal decoder 604 decodes the video signal outputted from the video signal reception buffer 603 on the basis of a timing signal outputted from the picture rate control circuit 605. The audio signal decoder 608 decodes the audio signal outputted from the audio signal reception buffer 607 on the basis of a timing signal outputted from the sampling rate control circuit 609.

[0012]

Hereinafter, the video signal reception buffer 603 and the audio signal reception buffer 607 will be described. During decoding, it is impossible to decode a video signal and an audio signal using completely consistent clocks. The first reason is that the video signal and the audio signal have different

compression ratios as described above. The second reason will be described with respect to, for example, decoding of the audio signal by the audio signal decoder 608. The input data rate of the audio signal to be inputted to the audio signal decoder 608 that performs decoding with a fixed video rate, and the transfer video rate of the audio signal outputted from the data transmission system or data storage system 5 vary depending on an error of the sampling rate clocks. Further, generally one audio signal and one access unit are inputted at a time to the audio signal decoder 608, the transfer rate of the multiplexed bitstream S5 from the data transmission system or data storage system 5 does not match the data rate of the audio signal inputted to the audio signal decoder 603. So, the audio signal reception buffer 607 is provided in the stage before the audio signal decoder 608, and constituted to adjust the mismatch of the data rates. Figure 8 illustrates the above-mentioned relationship.

[0013]

Further, as illustrated in figure 9, since the video signal is compressed and variable-length coded for each frame (or for each field) by the coding system 100, the input data rate to the video signal decoder 604 significantly varies depending on the compression of the video signal in the coding system 100.

Accordingly, the storage capacity of the video signal reception buffer 603 becomes larger than the storage capacity of the audio

signal reception buffer 607. For example, the storage capacity of the video signal reception buffer 603 is 46KB while the storage capacity of the audio signal reception buffer 607 is 4KB. Figure 10 shows buffering timings of the video signal reception buffer 603 or the audio signal reception buffer 607 (hereinafter, the video signal reception buffer 603 is exemplified). With reference to figure 10(A), as for this buffering, it is ideal that the amount of data obtained by subtracting the storage capacity of the video signal reception buffer 603 (shown by a broken line) from the amount of data inputted to the video signal reception buffer 603 does not exceed the amount of data read from the video signal reception buffer 603, i.e., no underflow occurs, and that the amount of data read from the video signal reception buffer 603 does not exceed the amount of data inputted to the video signal reception buffer 603, i.e., no overflow occurs. However, as illustrated in figure 10(B), this buffering sometimes causes overflow or underflow.

[0014]

As methods for preventing overflow or underflow in this buffering, for example, processes illustrated in figures 11(A) ~ 11(C) are proposed. The first method illustrated in figure 11(A) is referred to as a "storage media slave method", in which the amount of data to be inputted to the video signal reception buffer 603 is controlled as shown by a curve L1' so that the amount L2 of data obtained by subtracting the storage capacity of

the video signal reception buffer 603 from the amount L1 of data inputted to the video signal reception buffer 603 does not exceed the amount L3 of data read from the video signal reception buffer 603, and that the amount L3 of data read from the video signal reception buffer 603 does not exceed the amount L1 of data inputted to the video signal reception buffer 603. A curve L2 shows change in the amount of data obtained by subtracting the storage capacity of the video signal reception buffer 603 from the data L1 inputted to the video signal reception buffer 603, and a curve L2' shows change in the amount of data that is controlled to be actually inputted to the video signal reception buffer 603. The second method illustrated in figure 11(B) is referred to as a "decoder slave method", in which data are read from the video signal reception buffer 603 with the frame rate of the video signal decoder 604 being changed so that the amount L2 of data obtained by subtracting the storage capacity of the video signal reception buffer 603 from the amount L1 of data inputted to the video signal reception buffer 603 does not exceed the amount L3 of data read from the video signal reception buffer 603, and that the amount L3 of data read from the video signal reception buffer 603 does not exceed the amount L1 of data inputted to the video signal reception buffer 603. Change in the amount of data that is actually read from the video signal reception buffer 603 is shown by a curve L3'. Although the case of processing a video signal has been described above, also when

processing an audio signal, the sampling rate of the audio signal decoder 608 is changed to control the amount of data to be read from the audio signal reception buffer 607. The third method is, as illustrated in figure 11(C), to control the amount of data to be read from the video signal reception buffer 603, for example, the amount of data to be read from the video signal reception buffer 603 is controlled by skipping or redisplaying the access unit. A curve L3' shows change in the amount of data that is adjusted and read from the video signal reception buffer 603.

[0015]

However, to change the frame rate or sampling rate of the above-mentioned decoder or the transfer rate from the data transmission system or data storage system 5 may adversely affect the relevant devices outside the video and audio signal processing apparatus, and therefore, these rates cannot be arbitrarily changed, and are limited within predetermined ranges. As the result, when overflow or underflow occurs frequently during buffering, it is impossible to avoid them completely. Malfunction in the decoding processing caused by overflow or underflow during buffering especially occurs at a decoding start point. Accordingly, there is considered a method for solving this problem by performing, in the decoder, a process for delaying decoding at the initial stage of reproduction, which process is called "startup delay".

[0016]

Figure 12 shows various modes of buffering based on startup delay. Figure 12(A) shows the case where buffering is ideally carried out independently of startup delay, figure 12(B) shows buffering in the case where startup delay is appropriately carried out, figure 12(C) shows the case where startup delay is long and thereby the video signal reception buffer 603 overflows, and figure 12(D) shows the case where startup delay is short and thereby underflow occurs.

[0017]

In the MPEG, a system clock reference SCR for phase synchronization can be described in the header of each pack as described above, and the system clock reference SCR can be used for defining the transfer bit rate. Further, in the MPEG, the timestamp described in the header of the video signal packet or the audio signal packet can be used for controlling the frame rate or the sampling rate. That is, as illustrated in figure 13, the system clock reference SCR indicates the time of the multiplexed bitstream S5 supplied from the data transmission system or data storage system 5 to the decoding system 600, and the timestamp of the video signal packet or the audio signal packet indicates the time at which the video signal or the audio signal is outputted from the video signal reception buffer 603 or the audio signal reception buffer 607, respectively. These times can be recorded as absolute times using a crystal oscillator and a reference clock of 90KHz. In this way, a difference between

the system clock reference SCR and the timestamp can be used for startup delay. In figure 13, DTS denotes a decoder timestamp that means the decoding time, PTS denotes a picture timestamp that means the decoding time of the video signal, i.e., a picture, and H denotes a header.

[0018]

As described above, when performing audio signal decoding and video signal decoding based on the MPEG, it is necessary to synchronize the decoding results thereof, and the timestamps are used for the synchronization. It is premised that the decoding time of the video signal and the audio signal is 0 sec. As shown in figure 14, in the frames other than those of I pictures and P pictures, i.e., in the frames of B pictures, the decoding time of an access unit indicated by a timestamp is equal to the display time at which a B picture is displayed. That is, among the video signals that are successively inputted into the video signal reception buffer 603 through the demultiplexer 601, a video signal, Frame  $i(1)$ , of an I picture of the  $i$ -th frame in the  $m$ -th video signal packet is read from the video signal reception buffer 603 at time  $DTSm$  and decoded, and thereafter, this video signal is temporarily stored in an I/P buffer that temporarily stores video signals (frames) of I pictures and P pictures and is disposed behind the video signal decoder 604. A video signal of an I picture and a video signal of a P picture have different decoding times and different display times. So, in the header of



the video signal packet corresponding to this video signal, a DTS and a PTS as timestamps indicating its decoding time and display time, respectively, are recorded. However, since the display times PTS of the video signals of the I picture and the P picture are equal to the decoding times DTS of the next I picture and P picture, respectively, the display times PTS can be dispensed with.

[0019]

However, the above-mentioned video and audio signal processing apparatus based on the MPEG encounters a problem that the circuit structures of the video signal bitstream construction conversion unit 602 and the audio signal bitstream construction conversion unit 606 are complicated. Further, since the above-mentioned video signal and audio signal processing device is based on the premise that the data to be input to the decoding system 600 is a multiplexed bitstream, if either the video signal or the audio signal is inputted without being multiplexed, the decoding system 600 cannot perform decoding, resulting in a problem in its versatility when considering that the decoding system 600 should perform various kinds of decoding processings.

[0020]

So, the applicant of the present invention (the inventor of the present invention) proposes a video signal and audio signal decoding apparatus that solves the above-mentioned problems (for example, refer to "Data Decoding Apparatus", Japanese Published

Patent Application No. Hei.5-63293, Application Date: Feb. 26th, 1993). Figure 15 shows the construction of this decoding apparatus. Figure 6 or 16 shows a bitstream at this time. In the bitstream shown in figure 16, plural video signal packets and an audio signal packet are continuously arranged, and each of the plural video signal packets includes a first video signal packet header, a first picture group GOP0 to a fourth video signal packet header, and a fourth picture group GOP3. Each video signal packet header includes a timestamp of this video signal. Each picture group contains 20 frames of video signals. The audio signal packet contains an audio signal timestamp and an audio signal access unit AAU.

[0021]

This decoding apparatus comprises demultiplexer 501, a DSP 502, a clock generator 503 for generating a clock of 90KHz, an entire time register 504, a video signal reception buffer 505a, an audio signal reception buffer 505b, a video signal decoder 506a, an audio signal decoder 506b, a video signal timestamp buffer 507a, an audio signal timestamp buffer 507b, a video signal clock phase sync circuit (PLL) 508a, and an audio signal clock PLL 508b. A video signal timestamp and an audio signal timestamp which are separated from the bitstream by the demultiplexer 501 are stored in the video signal timestamp buffer 507a and the audio signal timestamp buffer 507b, respectively. Further, a video signal and an audio signal which are separated

from the bitstream are stored in the video signal reception buffer 505a and the audio signal reception buffer 505b, respectively. The data stored in the buffers 505a and 505b are synchronously decoded in the decoders 506a and 506b according to clocks from the PLLs 508a and 508b, respectively. Thus, the circuit construction can be simplified.

[0022]

Figure 17 illustrates a format of a multiplexed bitstream and a processing thereof. The bitstream is illustrated with respect to only a video signal, and an audio signal is omitted. Figure 18 shows a construction of an MPEG video signal and audio signal processing device based on the bitstream. A constraint parameter system target decoder 410 includes a demultiplexer 411, a video signal buffer 412, an audio signal buffer 413, a directory data buffer 414, a video signal decoder 415, an audio signal decoder 416, and a directory decoder 417. A decoding system 610 is constituted similarly to the constraint parameter system target decoder 410. A coding system 110 generates a bitstream illustrated in figure 17(A). In this bitstream, a first directory packet and a first video signal packet corresponding to this directory packet are paired. In the directory packet, a directory packet header is stored at the initial position, and subsequently, 1st to 20th pointers P0~P19 are stored. In the video signal packet, a video signal packet header is stored at the initial position, and subsequently, 1st

to 20th picture groups GOP0~GOP19 are stored. The 1st pointer P0 designates such as a recording position of the first picture group GOP0. Other pointers also designate the positions of the corresponding picture groups.

[0023]

As a specific example, a reproduction operation of a video tape recording/reproduction apparatus will be described. In this case, the coding system 100 is a recording system of the video tape recording/reproduction apparatus, the data transmission system or data storage system 5 is a video tape, and the decoding system 610 is a reproduction system. As is illustrated in figure 17(B), before the user requests a first forward (FF) operation or a first reverse (FR) operation, the decoding system 610 continuously reads the picture groups from the video tape 5 on the basis of the contents recorded in the directory packet header and the contents designated by the pointers, and the pointer are stored in the directory buffer while the video signals are stored in the video signal buffer, and further, the video signals are decoded in the video signal decoder. As shown in figure 17(C), when the user requests a first forward operation, skipping is carried out until no more directory data remain in the directory buffer, whereby the picture groups are skipped. Then, as shown in figure 17(D), the pointer goes back to the position where a new directory is stored in the directory buffer. As shown in figure 17(E), the above-mentioned operation, i.e., the feedback

operation, is carried out during the first forward operation.

[0024]

Further, in the MPEG, a delay time of buffering is provided as described above, and this buffer delay time in the case where no phase synchronization is performed is limited within one second.

[0025]

Figure 19(A) is a schematic block diagram illustrating the above-mentioned decoding system. Figure 19(A) illustrates a television receiver as an example of the above-mentioned decoding system, in which one channel is selected from plural channels of compressed video signals by the demultiplexing circuit 11, and the compressed video signal of the selected channel is temporarily stored in the video signal buffer memory 12, subjected to decoding processing such as decompression by the video signal decoder 16, and outputted to the reproduction unit 20. The demultiplexing circuit 11 functionally corresponds to the demultiplexer 601 shown in figure 7 and the demultiplexer 501 shown in figure 15. However, while these demultiplexers 501 and 601 demultiplex the video signal and the audio signal, the demultiplexing circuit 11 demultiplexes the plural channels of video signals. The video signal buffer memory 12 operates in similar manner to the video signal reception buffer 603 shown in figure 7 and the video signal reception buffer 505a shown in figure 15. The video signal decoder 16 has the same function as

the video decoders shown in figures 7 and 15. As for the buffering process of the video signal buffer memory 12 and the video signal decoder 16, the same process as that described with reference to figure 9 is carried out. Although only the video signal processing system is described for convenience of illustration, the same construction and processing as described above can also be applied to the audio signal.

[0026]

As is illustrated in figure 19(A), the video signal corresponding to the channel 1 is inputted to the video signal buffer memory 12 through the demultiplexing circuit 11, and the video signal decoder 16 performs decoding processing for the video signal buffered in the video signal buffer memory 12 and outputs the decoding result to the reproduction unit 20. As illustrated in figure 19(B), when channel switching occurs from the channel 1 to the channel 2, the video signal corresponding to the channel 2 is buffered into the video signal buffer memory 12, and the video signal decoder 16 performs decoding processing for this newly buffered video signal.

[0027]

[Problems to be solved by the Invention]

However, since the decoding apparatus illustrated in figure 19 includes only a single line of the buffer memory 12 and the video signal decoder 16 for the plural channels, the above-mentioned problem of 1 sec startup delay occurs at channel

switching. That is, although the video signals are stored in the buffer memory 12 in the above-mentioned method and discharged from the buffer memory 12 for decoding processing in the video signal decoder 16, if channel switching is carried out at a certain timing, video signals of a newly selected channel cannot be inputted to the buffer memory 12 unless the video signals of the previously selected channel are completely discharged from the buffer memory 12, whereby video signal decoding cannot be carried out. Therefore, startup delay occurs. Since the audio signal is reproduced simultaneously with the video signal, startup delay similar to that described above also occurs for the audio signal. Since, during the startup delay, the reproduction unit 20 does not reproduce the video signal and the audio signal of the newly selected channel, the user cannot obtain the video and audio of the newly selected channel although he/she has switched the channel. That is, the current decoding system has a problem with responsiveness at channel switching.

[0028]

The above-mentioned problem occurs not only at channel switching of a television receiver or the like but also at playback of a video signal. The problem of startup delay at playback will be described with reference to figure 20. In this example, as shown by a curve CV1, the bit rate for decoding a first portion is 3 Mbit/sec, and the bit rate for decoding a second portion is 6 Mbit/sec. When the video signal decoder 16

starts playback processing at the start point of the first portion, startup delay hardly occurs in this bitstream, leading to no problem. However, when the video signal decoder 16 starts playback processing at the start point of the second portion, startup delay of one second is needed for this bitstream as described above.

[0029]

Figure 21 is a graph illustrating the state where video signals are stored in the buffer memory 12 after one sec of startup delay is carried out. With reference to figure 21, when the access point is an intra picture having a relatively large amount of video data, only access to the start point of the second portion is possible. Generally, an intra picture regularly occurs in a bitstream of a video signal. So, when the user requests start of playback at the start point of the second portion, the user cannot obtain the reproduced information, i.e., the reproduced video signal and the reproduced audio signal, for at least about one sec, because of the at least one sec of startup delay.

[0030]

Figure 22 is a graph for explaining buffering in the case where the bitstream has startup delay longer than one sec. When the bitstream is longer than one sec, a high-speed (in other words, expensive) buffer memory (storage medium) which enables speedy startup delay using a transfer rate higher than the usual



transfer rate is needed. A curve abi (actual decoder buffer input) obtained by connecting \* indicates an actual input of video signals to the buffer memory, a curve abo (actual decoder buffer output) obtained by connecting black dots indicates an actual output of video signals to the buffer memory, a curve ibo (intended decoder buffer output) obtained by connecting O indicates a video signal output as a design value to the buffer memory, and a curve ovf obtained by connecting + indicates an overflow limit of the buffer. In this example where the decoding system has a high-performance storage medium, storage of video signals into the buffer memory starts with a rate of 15 M bits/sec. As a result, 7.5 M bits of video signals are stored in the buffer memory after 0.5 sec. This amount of stored video signals is equal to the amount of video signals that are stored at a rate of 4.5 M bits/sec for 1.67 sec. That is, in this example, 0.5 sec is enough for the start of the buffer memory. In this example, storage of video signals is carried out at a rate of 15 M bits/sec until reading of the video signals at a rate of 6 M bits/sec starts, and the rate is changed when the buffer memory is filled with the video signals so that storage of video signals is carried out at a rate of 6 M bits/sec. However, this method requires an expensive storage means and the processing is complicated because the rate control is carried out, although the startup delay is shortened.

[0031]

The present invention has for its object to provide a decoding method and a decoding system (apparatus) which can reduce startup delay during channel switching, playback, or the like, with respect to decoding for a compressed video signal and a compressed audio signal, or decoding for one of the compressed signals.

[0032]

[Measures to solve the Problems]

In the present invention, in addition to one buffer memory means for buffering a video signal and an acoustic signal with a predetermined delay time and one decoding means, at least one buffer memory means similar to that mentioned above and at least one quasi decoder for nullifying data stored in the buffer memory means are used. As described above, the buffer memory means buffers a compressed video signal and a compressed acoustic (audio) signal or either of them, with a predetermined delay time. The decoding means subjects the data stored in the buffer memory means to decoding processing such as decompression. The quasi decoding means nullifies the data stored in the buffer memory means. Hereinafter, examples will be described for the case of channel selection and the case of playback.

[0033]

Initially, a description will be given of the case of channel switching. The decoding apparatus of the present invention includes a means for receiving at least compressed

video signals of plural channels, and outputting a compressed video signal of a channel selected from the plural channels, at least two buffer memory means capable of performing parallel operations, which are operatively connected to the selection output means so as to receive the video signal outputted from the selection output means, at least one decoding means that is operatively connected to one of the buffer memory means, and reads and decodes the image signal stored in the connected buffer memory means, and at least one quasi decoding means that is operatively connected to one of the buffer memory means to which the decoding means is not operatively connected, and nullifies the video signal stored in the connected buffer memory means. Preferably, in preparation for continuous channel switching, one decoding means is provided, two quasi decoding means are provided before and behind the decoding means so as to sandwich the decoding means in view of the channel position, three buffer memory means are provided, the image signal of the selected channel is supplied from the selection output means and stored in the buffer memory means that is operatively connected to the decoding means, the decoding means decodes the video signal stored in the buffer memory in which the video signal is stored, and the quasi decoding means located in a position that follows channel selection nullifies the video signal in the buffer memory means in which the video signal has been stored immediately before the channel selection. More preferably, the decoding

processing is carried out also for an audio signal that is compressed simultaneously with the compressed video signal. Further, particularly, the video signal and the audio signal are in a bitstream form.

[0034]

Next, a description will be given of the case of playback. The decoding apparatus of the present invention includes at least two buffer memory means capable of performing parallel operations, which receive at least compressed video signals, at least one decoding means which is operatively connected to one of the buffer memory means, and reads and decodes the video signal stored in the connected buffer memory means, and at least one quasi decoding means that is operatively connected to one of the buffer memory means to which the decoding means is not operatively connected, and nullifies the video signal stored in the connected buffer memory means. In this decoding apparatus, when playback is requested, the video signal from the timing of the requested playback is buffered into the buffer memory means that is operatively connected to the quasi decoding means, the decoding means decodes the newly buffered video signal, and the quasi decoding means nullifies the video signal stored in the buffer memory means in which the image signal before the request of playback is stored. Preferably, the decoding processing is carried out also for an audio signal that is compressed simultaneously with the compressed video signal. Further,

particularly, the video signal and the audio signal are in a bitstream form.

[0035]

[Function]

The function of channel switching will be described. When channel switching occurs, the selection output means buffers the video signal of the newly selected channel into an unused buffer memory means, and the decoding means decodes the video signal that is newly buffered. The quasi decoding means nullifies the video signal stored in the buffer memory means in which the video signal of the channel before the channel selection still remains. Thereby, the video signal of the newly selected channel can be decoded without waiting for the time during which the decoding means discharges the video signal stored in the buffer memory means before the channel selection, i.e., startup delay. The quasi decoding means is not required to have the function of actually performing decoding processing, and it is merely means for nullifying the data stored in the buffer memory means, and therefore, its construction is simple.

[0036]

A description will be given of the function of playback. When playback is requested, the video signal from the timing of the requested playback is buffered into an unused buffer memory means, and the decoding means decodes the video signal that is newly buffered. The quasi decoding means nullifies the video

signal stored in the buffer memory means in which the video signal before the occurrence of the playback request still remains.

[0037]

[Embodiments]

Hereinafter, embodiments of a decoding method and a decoding apparatus according to the present invention will be described. Figure 1 is a block diagram of a video signal decoding apparatus 10 for decoding a video signal, as a first embodiment of the decoding apparatus of the present invention. The decoding apparatus shown in figure 1 corresponds to the decoding apparatus described as a prior art with reference to figure 19. That is, this video signal decoding apparatus 10 exemplifies a decoding processing in the case where channel switching is performed among plural channels in such as a television receiver which performs decoding processing such as decompression on a compressed video signal. Although a decoding apparatus for an audio signal will be similarly constituted, it is omitted for convenience of illustration.

[0038]

A signal processing system for supplying a video signal and an audio signal to the video signal decoding apparatus 10 is identical to the signal processing system illustrated in figure 5 or 18. In the coding system 100, the video signal and the audio signal are simultaneously compressed, and the compressed video

and audio signals, to which timestamps are given, are outputted to the data storage or data transmission system 5. In the decoding system 600, the video signal decoding unit 10 decodes the compressed video signal and audio signal. As for the data transmission system or data storage system 5, for example, a satellite communication system or a data communication system may be employed as a data transmission system, while a CD-ROM, an LD, or a video tape may be employed as a data storage system. In this embodiment, a satellite communication system, or a CD-ROM or an LD is used as the data transmission system or data storage system 5, respectively.

[0039]

The video signal decoding apparatus 10 shown in figure 1 includes a demultiplexing circuit 11, four buffer memories disposed in parallel, i.e., a first video signal buffer memory 12 to a fourth video signal buffer memory 15, four decoders disposed in parallel, i.e., a first video signal decoder 16 to a fourth video signal decoder 19, and a reproduction unit 20. In this video signal decoding apparatus 10, the demultiplexing circuit 11 outputs a video signal of a selected channel to a video signal buffer memory corresponding to the channel, according to channel switching. In this embodiment, the number of channels is four. The first video signal buffer memory 12 to the fourth video signal buffer memory 15 perform buffering with the above-mentioned predetermined delay time, in corporation with the

corresponding video signal decoders. As for the buffer memories, it is not necessary to use particularly high-speed operating buffer memories as described with reference to figure 22. The respective video signal decoders from the first video signal decoder 16 to the fourth video signal decoder 19 fundamentally have the same construction and function as those of the decoder described with reference to figure 19, and decode the video signals stored in the corresponding buffer memories 12~19 which are provided in the stages before the video signal decoders, according to the above-mentioned decoding method. The video signal that is decoded by the video signal decoder corresponding to the selected channel is reproduced by the reproduction unit 20. While in this first embodiment the reproduction apparatus 20 performs reproduction of video signals only, the reproduction unit 20 also performs reproduction of audio signals when decoding of audio signals is also performed.

[0040]

Figure 1 shows the state where the channel 2 is selected. Accordingly, in this state, the video signal outputted from the demultiplexing circuit 11 is stored in the second video signal buffer memory 13, and the second video signal decoder 17 decodes the video signal stored in the second video signal buffer memory 13 and outputs the decoding result to the reproduction unit 20. When the user changes the channel from the channel 2 to the channel 1, the video signal of the channel 1 is outputted from



the demultiplexing circuit 11 to the first video signal buffer memory 12, and stored in the first video signal buffer memory 12. In association with this storage, the first video signal decoder 16 is started with its decoding processing, while the second video signal decoder 17 is stopped with its decoding processing. Thereby, the reproduction unit 20 is operatively connected to the first video signal decoder 16, and the second video signal decoder 17 is disconnected from the reproduction unit 20. The first video signal decoder 16 decodes the video signal stored in the first video signal buffer memory 12, and outputs the decoding result to the reproduction unit 20. No startup delay exists in this switching. Although no more new video signals are inputted to the second video signal buffer memory 13 corresponding to the previously selected channel 2, the video signals that have been stored before the occurrence of channel switching still remain in the second video signal buffer memory 13. So, the second video signal decoder 17 discharges the video signals remaining in the second video signal buffer memory 13 by using the startup delay function so that the second video signal buffer memory 13 can be used without startup delay even when next channel switching occurs.

[0041]

As described above, since the buffer memories and the video signal decoders are provided according to the number of channels, it is possible to immediately respond to channel switching

without startup delay. Although the video signal decoding apparatus 10 illustrated in figure 1 is provided with the buffer memories and the real video signal decoders as many as the number of channels, respectively, each video signal decoder would have a complicated circuit construction and it would become expensive when constituted by using a DSP or the like since it performs buffering processing, and further, synchronization processing based on the timestamps and decoding processing such as decompression at high speeds, in corporation with the corresponding buffer memory. Hereinafter, another embodiment that solves the above-mentioned problems will be described.

[0042]

Figure 2 is a block diagram of a video signal decoding apparatus 10A according to a second embodiment of the decoding apparatus of the present invention. The video signal decoding apparatus 10A includes a demultiplexing circuit 11, a first video signal buffer memory 12 to a fourth video signal buffer memory 15, a first real video signal decoder 16, a second real video signal decoder 17, a first quasi video signal decoder 21, a second quasi video signal decoder 22, and a reproduction unit 20. Since the number of channels is four also in this second embodiment, four buffer memories are provided. Although the first real video signal decoder 16 and the second real video signal decoder 17 have substantially the same constructions and functions as the first video signal decoder 16 and the second video signal decoder

17 illustrated in figure 1, respectively, the addition of "real" to the decoders 16 and 17 in this second embodiment means that these decoders actually perform decoding, and thereby the decoders 16 and 17 which actually perform decoding are distinguished from the first quasi video signal decoder 21 and the second quasi video signal decoder 22 which do not perform decoding actually.

[0043]

The first quasi video signal decoder 21 and the second quasi video signal decoder 22 substantially nullify the video signals stored in the buffer memories that are operatively connected to the stages before the respective decoders. A few specific examples of nullification methods will be described. In a first nullification method, the quasi video signal decoder 21 (or 22) detects the header (head position) of the pictures stored in the buffer memory on the basis of the timestamp from the packet header and the picture rate from the video signal sequence layer, and nullifies the subsequent video signals. In a second nullification method, the quasi video signal decoder 21 (or 22) compulsorily clears the control word indicating the storage state of the video signal, which is stored in the buffer memory, so that no video signals exist in the buffer memory. In a third nullification method, since the buffer memory usually performs FIFO (First-in First-out) operation, the quasi video signal decoder 21 (or 22) clears the FIFO processing state so that no

video signals remain in the buffer memory. Since the first quasi video signal decoder 21 and the second quasi video signal decoder 22 perform the simple memory controls as described above, these decoders can be constituted simply and inexpensively. That is, the circuit constructions of the first and second quasi video signal decoders 21 and 22 are not complicated like the first and second real video signal decoders 16 and 17. Moreover, since the first quasi video signal decoder 21 and the second quasi video signal decoder 22 compulsorily nullify the video signals stored in the buffer memories, it is possible to immediately respond to the next channel switching.

[0044]

Figure 2(A) shows the state where the first real video signal decoder 16 and the second real video signal decoder 17 process the video signal of the channel 1 and the video signal of the channel 2, respectively. When the user selects the channel 3 as illustrated in figure 2(B), the demultiplexing circuit 11 outputs the video signal of the channel 2 to the third video signal buffer memory 14 which has already been emptied by the first quasi video signal decoder 21. Thereby, the video signal starts to be stored in the third video signal buffer memory 14. Simultaneously, the first real video signal decoder 16 is disconnected from the first video signal buffer memory 12 which has been operatively connected thereto, and then it is operatively connected to the third video signal buffer memory 14,

and decodes the video signal stored in the third video signal buffer memory 14. By this decoding processing, the reproduction unit 20 is disconnected from the second real video signal decoder 17 and operatively connected to the first real video signal decoder 16, and the video signal decoded by the first real video signal decoder 16 is outputted to the reproduction unit 20. On the other hand, the first quasi video signal decoder 21 is operatively connected to the first video signal buffer memory 12 that is disconnected from the first real video signal decoder 16, whereby the video signal remaining in the first video signal buffer memory 12 is nullified.

[0045]

In this second embodiment, since the buffer memories as many as the number of channels are provided, the connection relations of the demultiplexing circuit 11 with the first video signal buffer memory 12 to the fourth video signal buffer memory 15 are fixed, while the connection relations of the first video signal buffer memory 12 to the fourth video signal buffer memory 15 with the first real video signal decoder 16 and the second real video signal decoder 17 as well as the first quasi video signal decoder 21 and the second quasi video signal decoder 22 are operatively connected. In this second embodiment, the first quasi video signal decoder 21 nullifies the video signal stored in the buffer memory that has been operatively connected to the first real video signal decoder 16, and the second quasi video signal

decoder 22 nullifies the video signal stored in the buffer memory that has been operatively connected to the second real video signal decoder 22. Since the video signal decoding apparatus 10A according to the second embodiment is provided with the two real video signal decoders 16 and 17, even when channel switching is arbitrarily carried out, it is possible to provide a decoding-processed video signal for the selected channel, without startup delay.

[0046]

Figure 3 is a block diagram of a video signal decoding apparatus 10B as a third embodiment of the decoding apparatus of the present invention. The construction of the video signal decoding apparatus 10B is particularly suited to a mode in which channels are successively selected. That is, it is suited to a channel selection system in which the channel number increases by 1 when an upper shift button in a channel selection switch (not shown) is pressed one time, while the channel number decreases by 1 when a lower shift button is pressed one time. The video signal decoding apparatus 10B includes a demultiplexing circuit 11, a first video signal buffer memory 12 to a third video signal buffer memory 14, a real video signal decoder 16, a first quasi video signal decoder 21, a second quasi video signal decoder 22, and a reproduction unit 20. That is, the video signal decoding apparatus 10B is provided with three buffer memories 12~15, one real video signal decoder 16, and two quasi video signal decoders

21 and 22, independently of the number of channels. The real video signal decoder 16 performs decoding processing for the video signal of the selected channel. When the channel number increases by 1, the first quasi video signal decoder 21 nullifies the video signal remaining in the buffer memory which has been read by the real video signal decoder 16. When the channel number decreases by 1, the second quasi video signal decoder 22 nullifies the video signal remaining in the buffer memory that has been read by the real video signal decoder 16.

[0047]

Figure 3(A) shows the state where the channel 2 is selected, and the real video signal decoder 16 reads and decodes the video signal from the second video signal buffer memory 13 in which the video signal of the channel 2 is stored, and outputs the decoding result to the reproduction unit 20. When the user presses the upper shift button in the channel selection switch, the channel 3 is selected as shown in figure 3(B). The demultiplexing circuit 11 starts to output the video signal of the channel 3 to the third video signal buffer memory 14 that has previously been nullified by the second quasi video signal decoder 22. Due to the channel switching, the connection relation between the real video signal decoder 16 and the buffer memory is changed from the second video signal buffer memory 13 to the third video signal buffer memory 14. The real video signal decoder 16 decodes the video signal stored in the third video signal buffer memory 14 of

the new connection relation. On the other hand, the first quasi video signal decoder 21 nullifies the video signal in the second video signal buffer memory 13 in which the video signal of the channel 2 remains. When the user again presses the upper shift button in the channel selection switch, the channel 4 is selected as shown in figure 3(C). The demultiplexing circuit 11 starts to output the video signal of the channel 4 to the first video signal buffer memory 12 that has previously been nullified by the second quasi video signal decoder 22. Due to the channel switching, the connection relation between the real video signal decoder 16 and the buffer memory is changed from the third video signal buffer memory 14 to the first video signal buffer memory 12. The real video signal decoder 16 decodes the video signal stored in the first video signal buffer memory 12 of the new connection relation. On the other hand, the first quasi video signal decoder 21 nullifies the video signal in the third video signal buffer memory 14 in which the video signal of the channel 3 remains.

[0048]

While the case where the user presses the upper shift button in the channel selection switch has been described, when the user presses the lower shift button, the second quasi video signal decoder 22 performs nullification of the buffer memory that is disconnected from the real video signal decoder 16, in the order reverse to the order described above. As described above, in



this third embodiment, the connection states of the buffer memories, the real video signal decoder 16, and the quasi video signal decoders 21 and 22 are varied depending on the channel selection states. According to the third embodiment, since it is only required to provide three parallel buffer memories, one real video signal decoder 16, and two quasi video signal decoders 21 and 22 independently of the number of channels, the circuit construction is simplified, thereby realizing the video signal decoding apparatus 10B at low price.

[0049]

Figure 4 is a block diagram of a video signal decoding apparatus 10C as a fourth embodiment of the decoding apparatus of the present invention. The video signal decoding apparatus 10C includes a demultiplexing circuit 11, first and second video signal buffer memories 12 and 13, a real video signal decoder 16, a quasi video signal decoder 21, and a reproduction unit 20.

That is, the video signal decoding apparatus 10C is provided with the two buffer memories 12 and 13, one real video signal decoder 16, and one quasi video signal decoder 21 independently of the number of channels. The real video signal decoder 16 performs decoding for the video signal of the selected channel. The quasi video signal decoder 21 nullifies the video signal remaining in the buffer memory that has just been read by the real video signal decoder 16.

[0050]

Figure 4(A) shows the state where the channel 1 is selected, and the real video signal decoder 16 reads the video signal from the first video signal buffer memory 12 in which the video signal of the channel 1 is stored, decodes the signal, and outputs the decoding result to the reproduction unit 20. When the user selects the channel 2, the channel 2 is selected as shown in figure 4(B). The demultiplexing circuit 11 starts to output the video signal of the channel 2 to the second video signal buffer memory 13 that has previously been nullified by the quasi video signal decoder 21. Due to the channel switching, the connection relation between the real video signal decoder 16 and the buffer memory is changed from the first video signal buffer memory 12 to the second video signal buffer memory 13. The real video signal decoder 16 decodes the video signal stored in the second video signal buffer memory 13 of the new connection relation. On the other hand, the quasi video signal decoder 21 nullifies the video signal in the first video signal buffer memory 12 in which the video signal of the first channel remains.

[0051]

As described above, in this fourth embodiment, the connection states of the buffer memories 12 and 13, the real video signal decoder 16, and the quasi video signal decoder 21 are varied depending on the channel selection states. According to the fourth embodiment, since it is only required to provide the two parallel buffer memories 12 and 13, one real video signal

decoder 16, and one quasi video signal decoder 21 independently of the number of channels, the circuit structure is simplified, thereby realizing the video signal decoding apparatus 10C at low price.

[0052]

While the first to fourth embodiments have been described for the case where channel selection is carried out, the above-described video signal decoding apparatus is also applicable to the case where playback is carried out. A difference between channel selection and playback is as follows. In the case of playback, the video signal before the occurrence of playback corresponds to the video signal of the channel that is previously selected, and the video signal after the occurrence of playback corresponds to the video signal of the channel that is newly selected. That is, when the video signal decoding apparatus 10C shown in figure 4 is adopted as an example, if playback occurs while the video signal before the occurrence of playback is being decoded as the channel 1 in figure 4(A), the video signal to be played back is decoded as the channel 2. Thereby, the real video signal decoder 16 decodes the video signal stored in the second video signal buffer memory 13 from the timing when the playback occurs, and the quasi video signal decoder 21 nullifies the video signal stored in the first video signal buffer memory 12 to prepare for next playback. According to the present invention, also when playback occurs, the video signal after the occurrence

of playback can be reproduced without startup delay.

[0053]

It is needless to say that not only the video signal decoding apparatus shown in figure 4 but also the video signal decoding apparatuses shown in figures 1 to 3 are applicable to the playback processing.

[0054]

While the above embodiments are described for the case where a compressed and inputted video signal is buffered and subjected to decoding processing such as decompression, the present invention is not restricted to the video signal processing, and can be similarly applied to the case where a compressed and inputted audio signal is buffered and subjected to decoding processing such as decompression, and the case where both the compressed and inputted video signal and audio signal are processed.

[0055]

As described above, according to the present invention, it is possible to reproduce a video signal and an audio signal without startup delay in either case of playback or channel switching.

[Brief Description of the Drawings]

Figure 1 is a block diagram of a video signal decoding apparatus as a first embodiment of a decoding apparatus of the present invention.

Figure 2 is a block diagram of a video signal decoding apparatus as a second embodiment of a decoding apparatus of the present invention.

Figure 3 is a block diagram of a video signal decoding apparatus as a third embodiment of a decoding apparatus of the present invention.

Figure 4 is a block diagram of a video signal decoding apparatus as a fourth embodiment of a decoding apparatus of the present invention.

Figure 5 is a block diagram of a conventional video and audio signal processing apparatus based on the MPEG.

Figure 6 is a diagram illustrating formats of constraint parameter bitstreams shown in figure 5, wherein (A) shows a bitstream that is multiplexed by a coding system shown in figure 5, and (B) shows a signal format that is format-converted by a decoding system.

Figure 7 is a block diagram of the decoding system shown in figure 5.

Figure 8 is a diagram illustrating a relationship in timings between an audio signal inputted to an audio signal reception buffer of the conventional decoding system and an audio signal inputted to an audio signal decoder.

Figure 9 is a diagram illustrating another relationship in timings between the audio signal inputted to the audio signal reception buffer of the conventional decoding system and the

audio signal inputted to the audio signal decoder.

Figure 10 is a diagram illustrating overflow and underflow in a buffer.

Figure 11 is a diagram illustrating a method for preventing overflow or underflow shown in figure 10.

Figure 12 is a diagram for explaining startup delay.

Figure 13 is a diagram illustrating another buffering process.

Figure 14 is a diagram illustrating a still another buffering process.

Figure 15 is a block diagram of a decoder of a prior application.

Figure 16 is a diagram illustrating a bitstream to be processed by the decoder shown in figure 15.

Figure 17 is a diagram illustrating another conventional bitstream.

Figure 18 is a block diagram of another conventional video and audio signal processing apparatus based on the MPEG.

Figure 19 is a diagram illustrating the outline of a conventional decoding apparatus.

Figure 20 is a first graph illustrating startup delay.

Figure 21 is a second graph illustrating startup delay.

Figure 22 is a third graph illustrating startup delay.

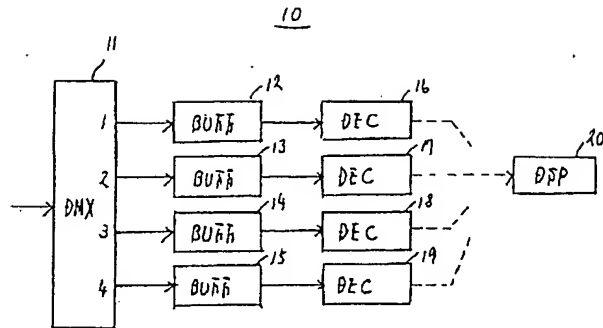
[Description of Reference Numerals]

1 ... coding system

- 2 ... uncompressed video signal source
- 3 ... uncompressed audio signal source
- 4 ... constraint parameter system target decoder
- 5 ... data transfer system or data storage system
- 6 ... decoding system
- 10~10C ... video signal decoding apparatuses
- 11 ... demultiplexing circuit
- 12~15 ... video signal buffer memories
- 16~19 ... real video signal decoders
- 20 ... reproduction unit
- 21~24 ... quasi video signal decoders

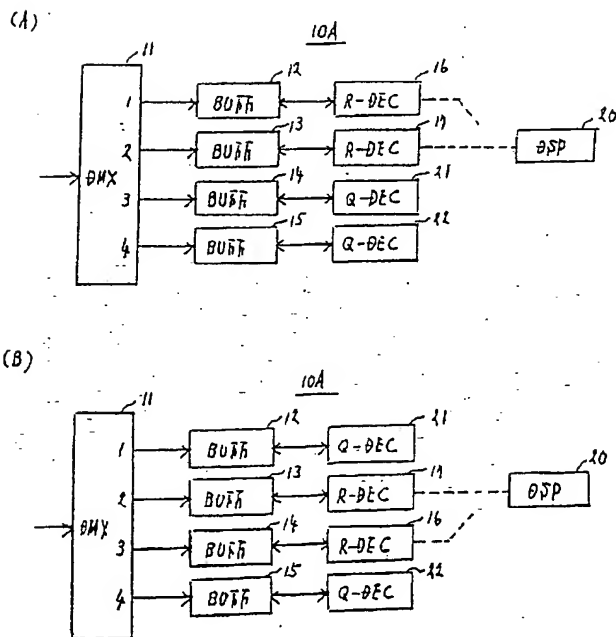
[Fig.1]

【図1】



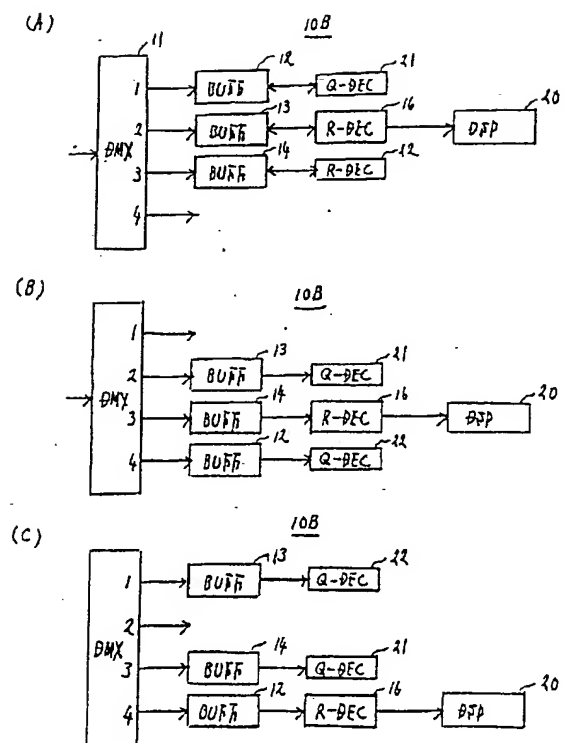
[Fig.2]

【図2】



[Fig.3]

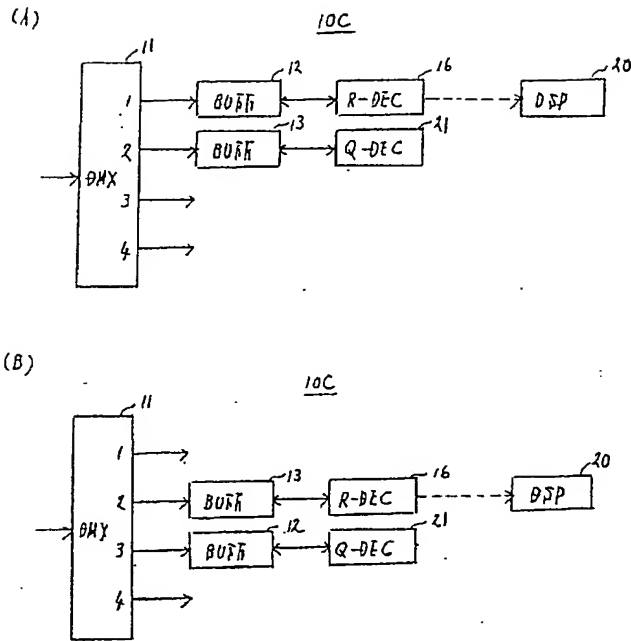
【図3】



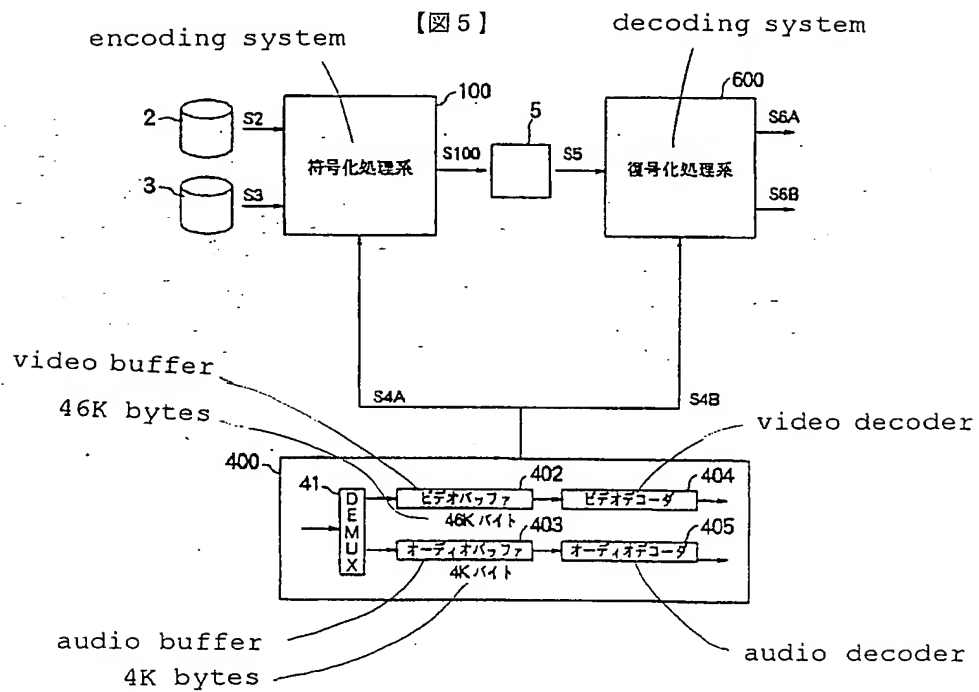


[Fig. 4]

【図4】

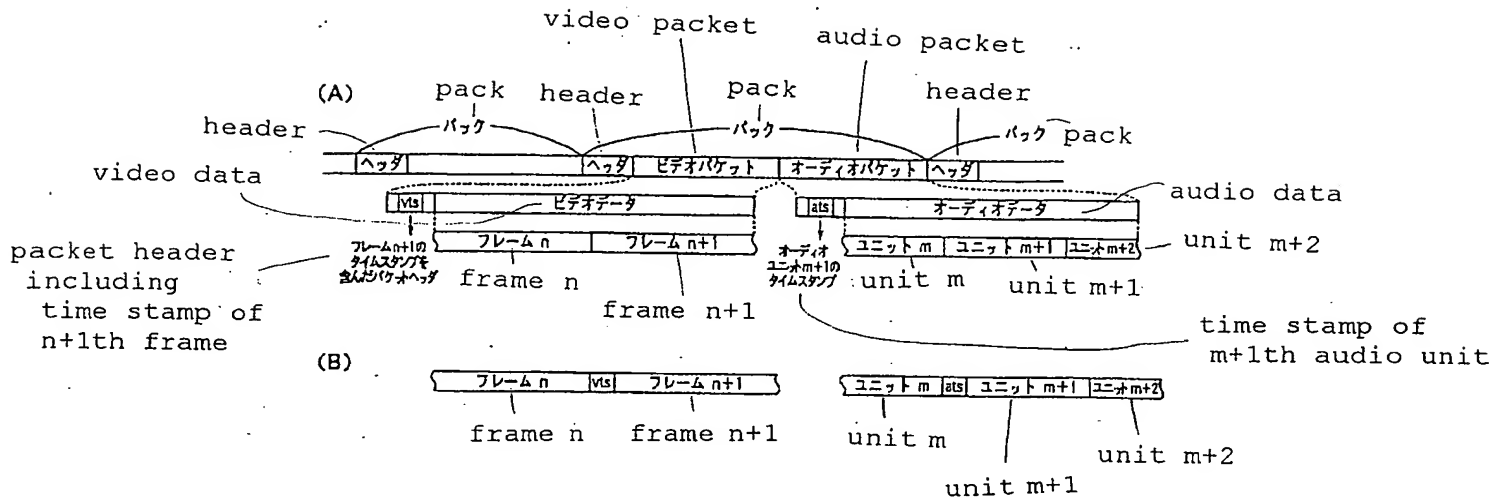


[Fig. 5]



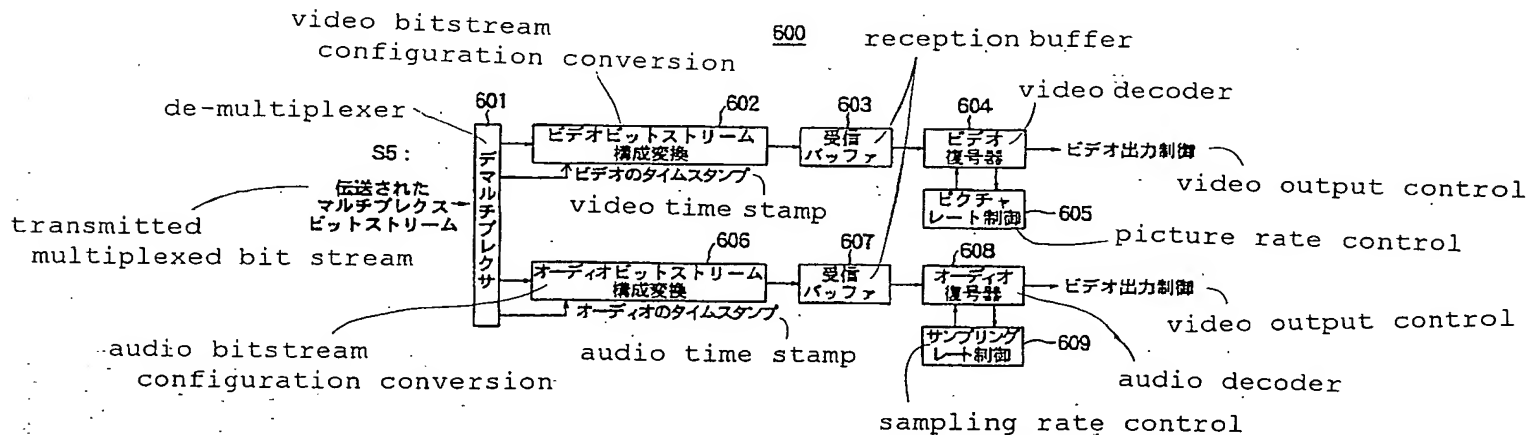
[Fig.6]

【図6】



[Fig.7]

【図7】



[Fig.8]

【図8】

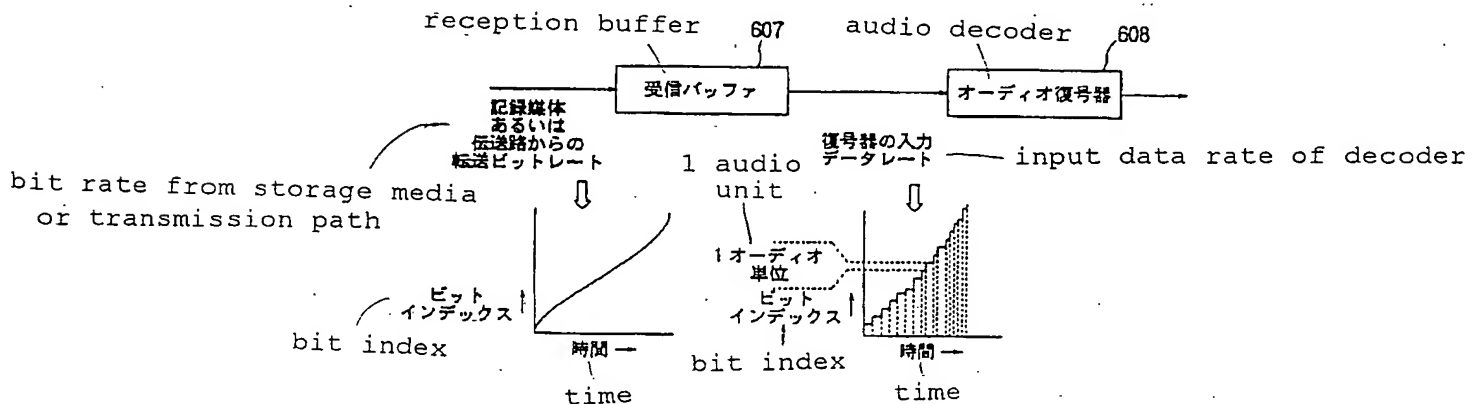


Figure 1 consists of two graphs, (A) and (B), illustrating buffer operations. Both graphs have 'time' on the horizontal axis and 'bit index' on the vertical axis. A dashed line in both graphs represents the 'buffer capacity'.

Graph (A) shows normal buffer operation. The 'input data of buffer' is a step function. The 'output data of buffer' is a smooth curve. The 'buffer capacity' is a dashed line. The 'amount of data (A) stored in buffer' is the area between the input and output data. The 'buffer capacity' is the area under the dashed line. The 'free space of buffer' is the area between the input data and the buffer capacity.

Graph (B) shows buffer overflow and underflow conditions. The 'input data of buffer' is a step function. The 'output data of buffer' is a smooth curve. The 'buffer capacity' is a dashed line. The 'underflow' is the area where the output data is below the buffer capacity. The 'overflow' is the area where the input data is above the buffer capacity.

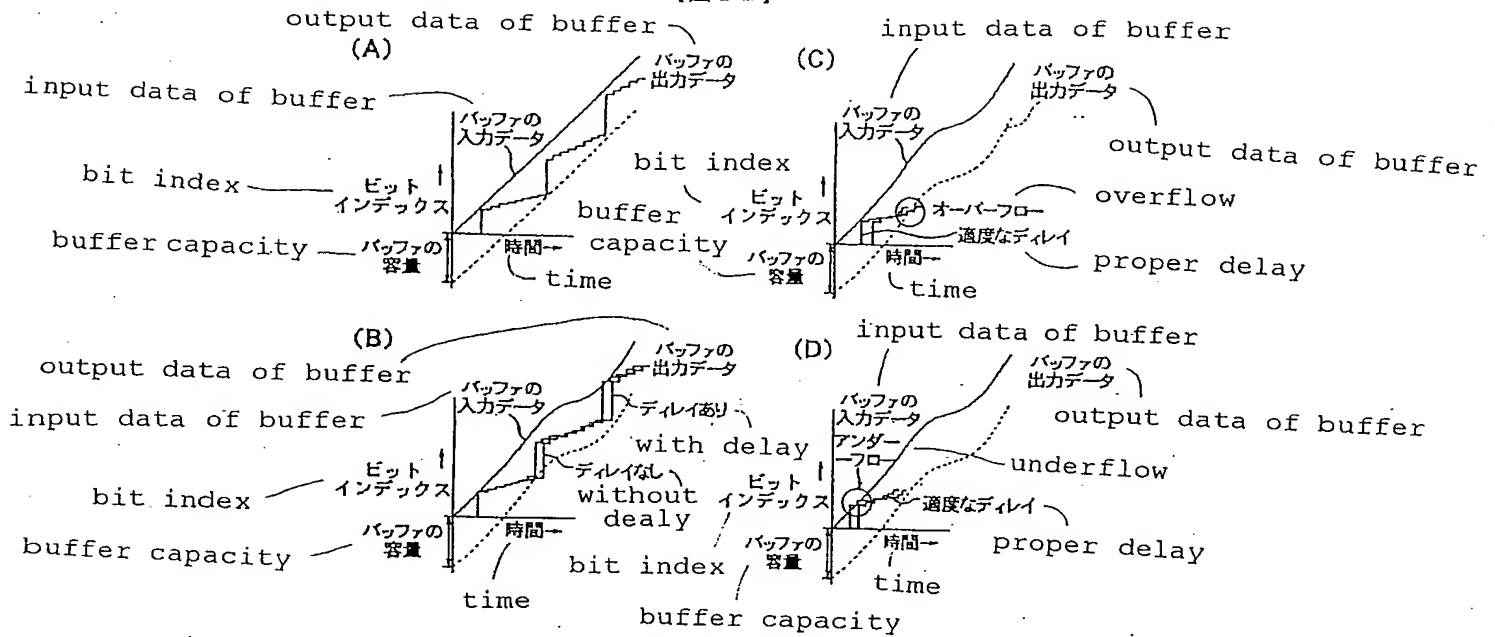
Figure 1 consists of three sub-graphs labeled (A), (B), and (C), each illustrating the relationship between input data of a buffer, output data of a buffer, and bit index over time.

- Graph (A):** Shows a smooth, continuous curve for the output data of the buffer. The input data of the buffer is represented by a dashed line. The output data of the buffer is a solid line. The bit index is shown as a stepped function. The time axis is labeled '時間' (time). The buffer capacity is indicated by a vertical line labeled 'バッファの容量' (buffer capacity).
- Graph (B):** Shows a stepped output data curve. The input data of the buffer is a dashed line. The output data of the buffer is a solid line. The bit index is shown as a stepped function. The time axis is labeled '時間' (time). The buffer capacity is indicated by a vertical line labeled 'バッファの容量' (buffer capacity).
- Graph (C):** Shows a stepped output data curve. The input data of the buffer is a dashed line. The output data of the buffer is a solid line. The bit index is shown as a stepped function. The time axis is labeled '時間' (time). The buffer capacity is indicated by a vertical line labeled 'バッファの容量' (buffer capacity).

Common labels across the graphs include 'input data of buffer', 'output data of buffer', 'bit index', 'time', 'バッファの入力データ' (buffer input data), 'バッファの出力データ' (buffer output data), 'ビットインデックス' (bit index), and 'バッファの容量' (buffer capacity).

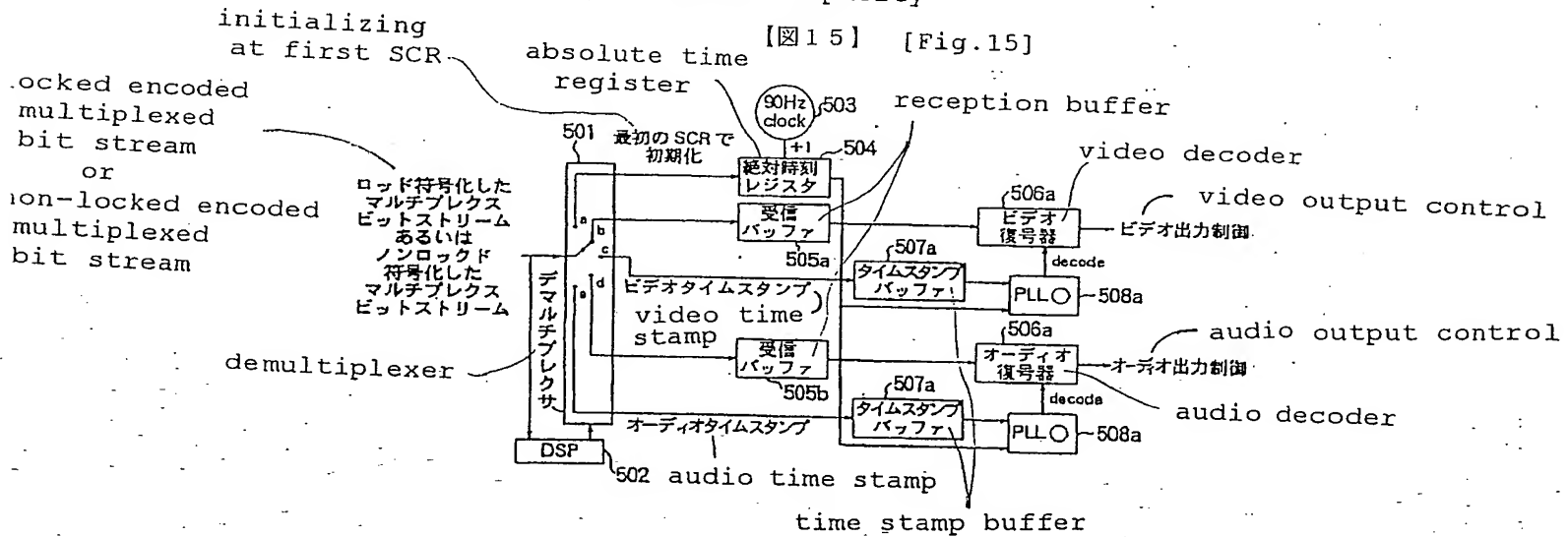
[Fig.12]

[図12]



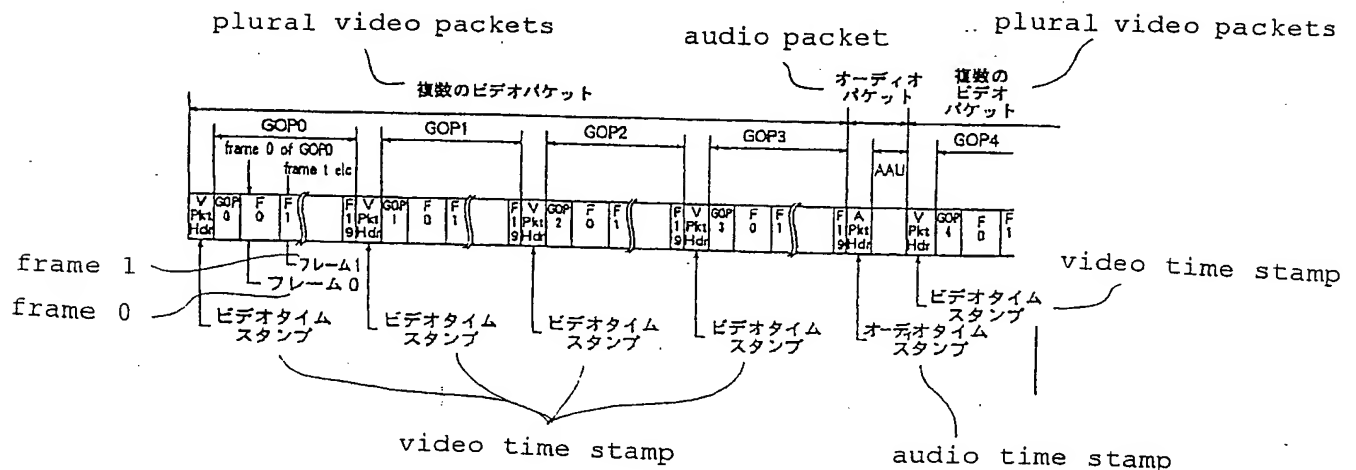
[図15]

[Fig.15]

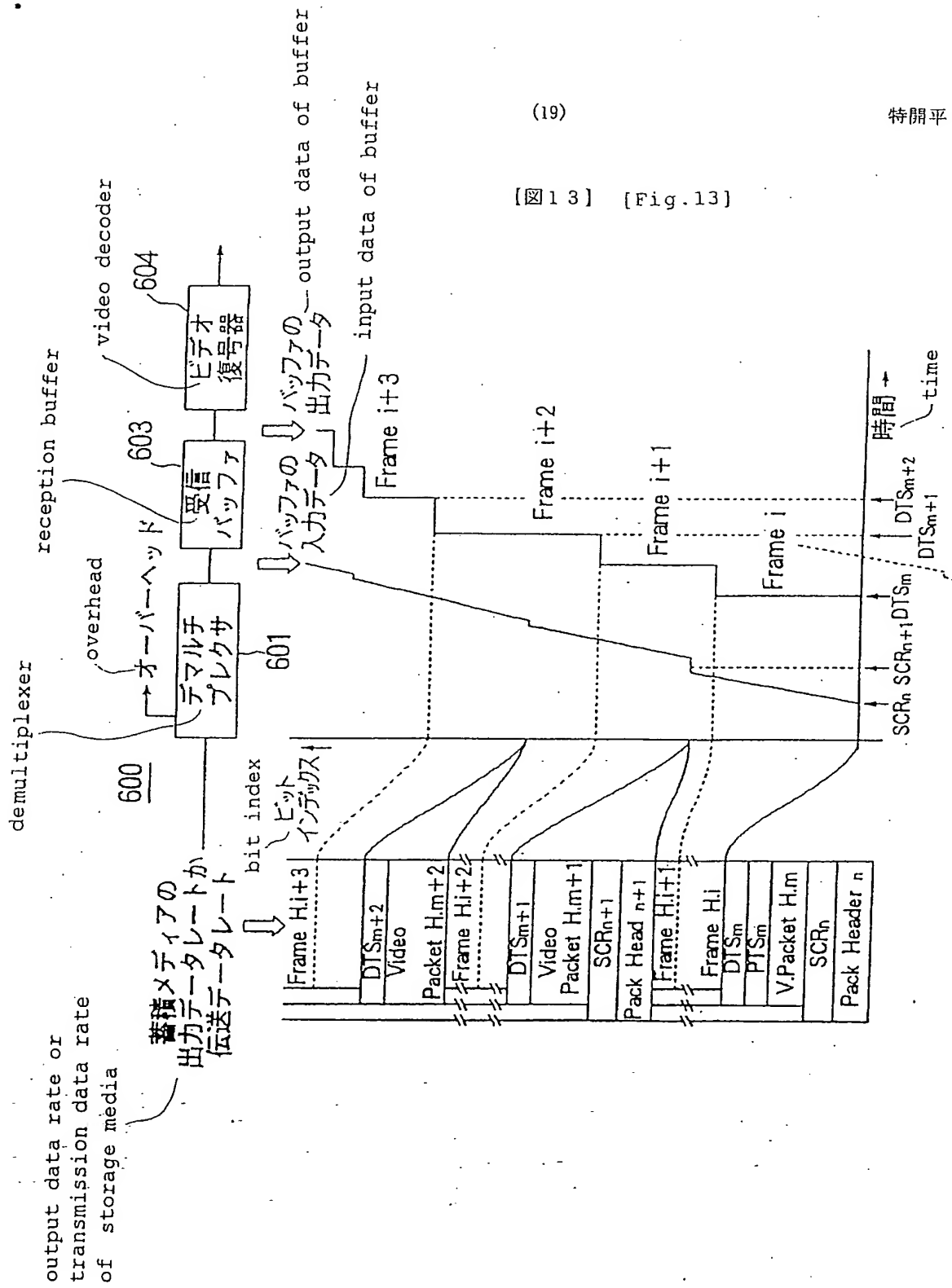


[図16]

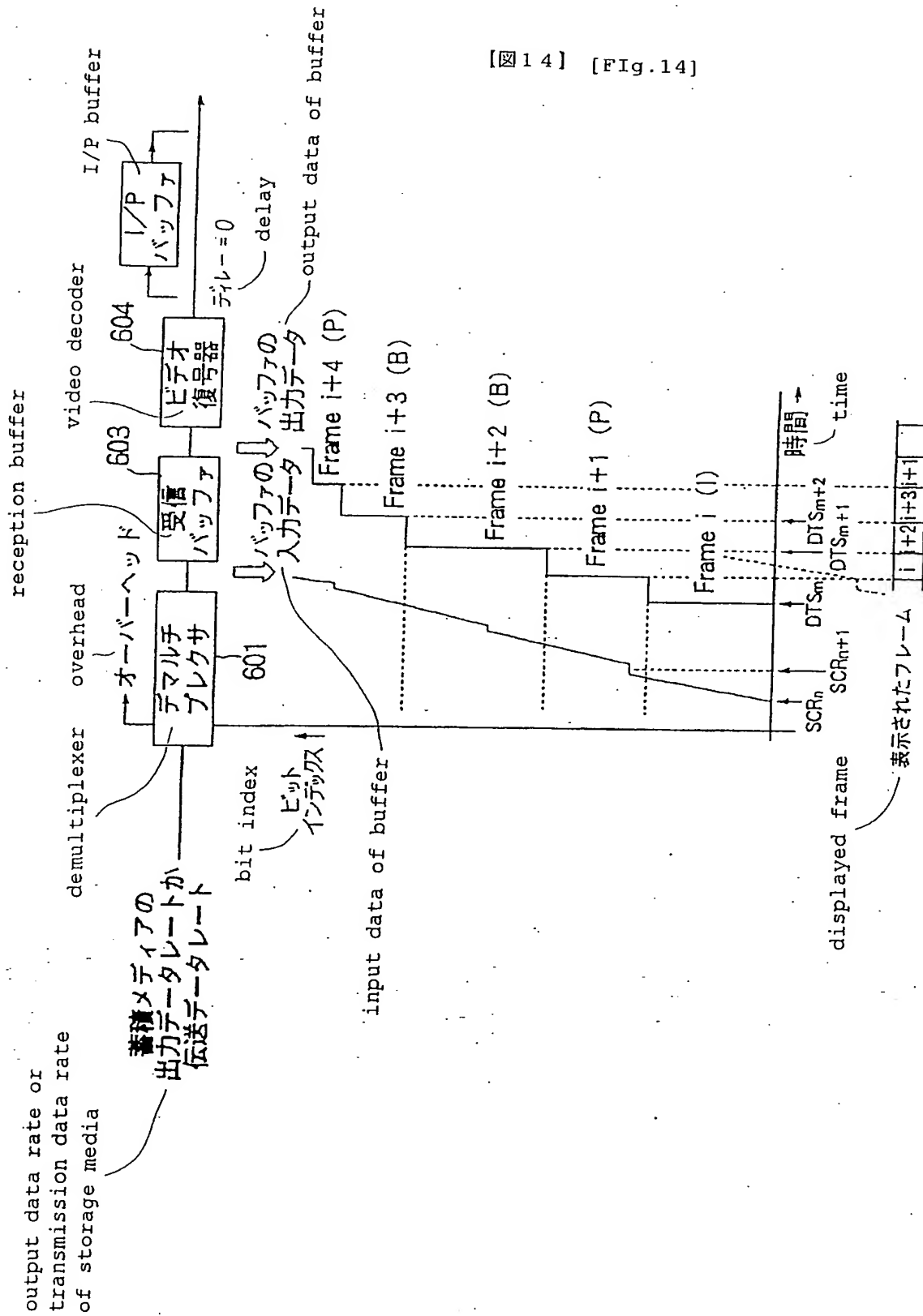
[Fig.16]



【図13】 [Fig.13]

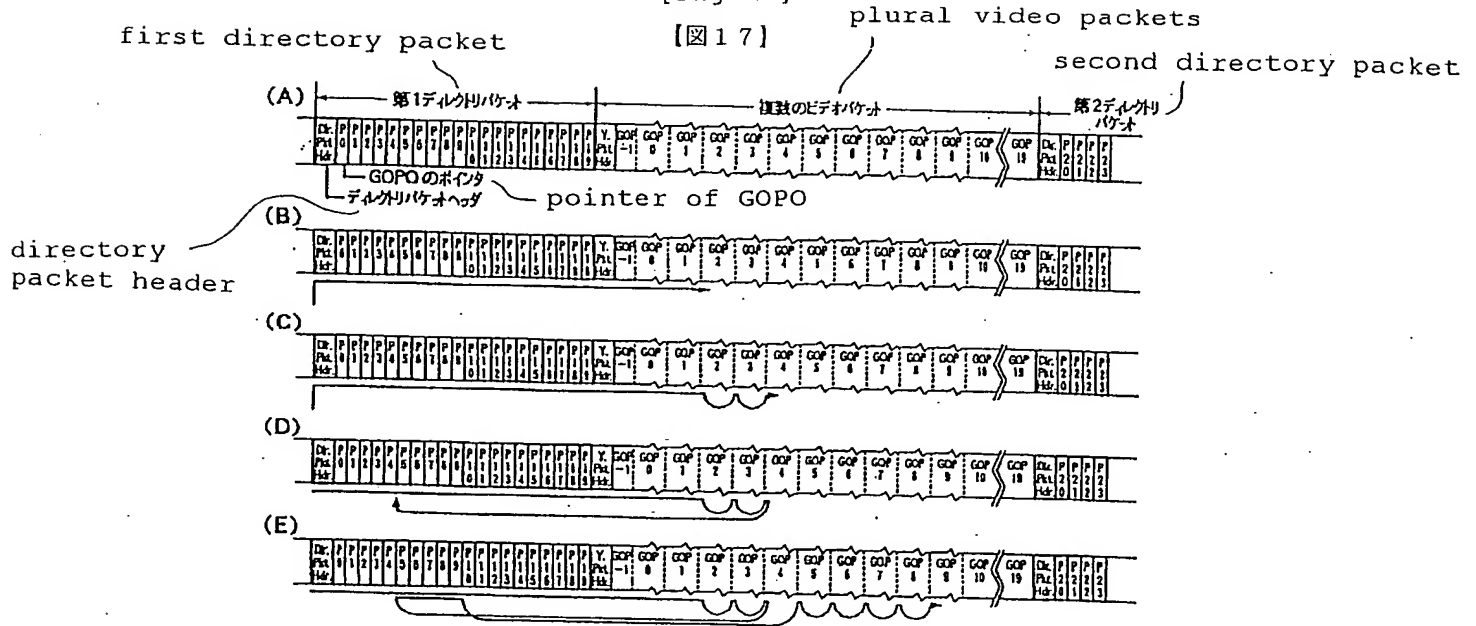


【図14】 [Fig.14]

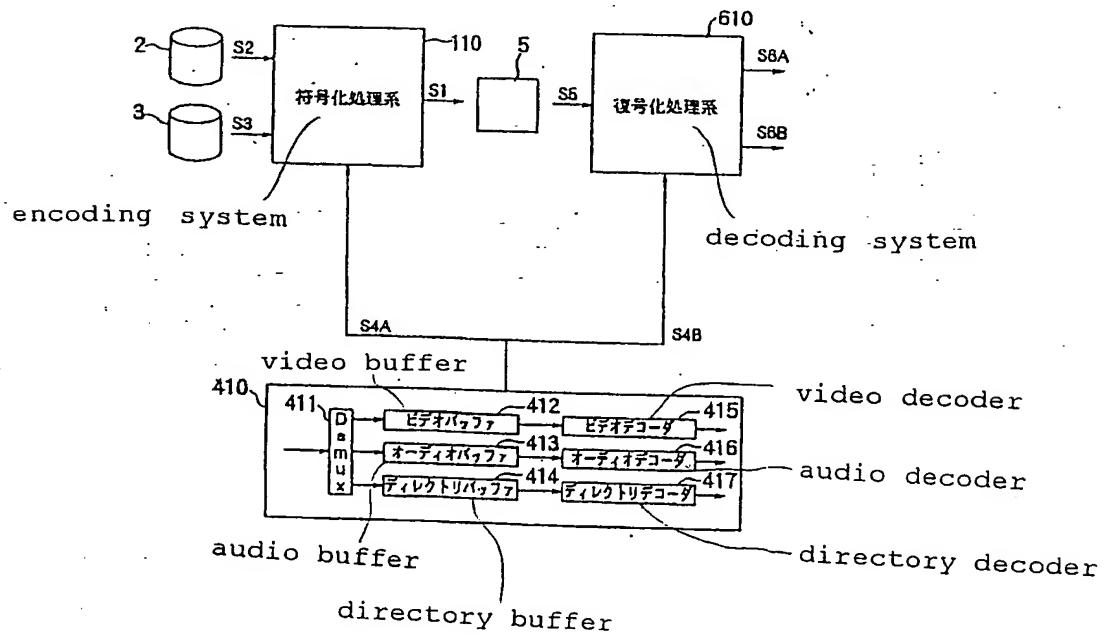


[Fig.17]

【図17】

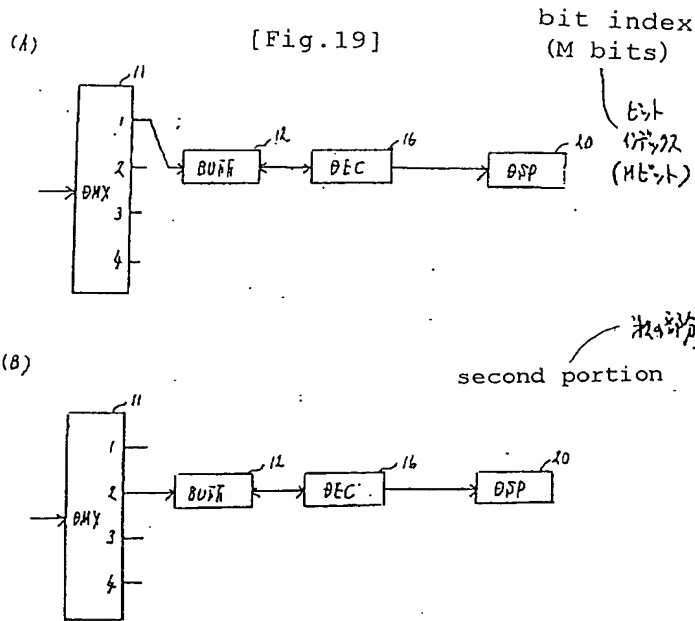


【図18】 [Fig.18]

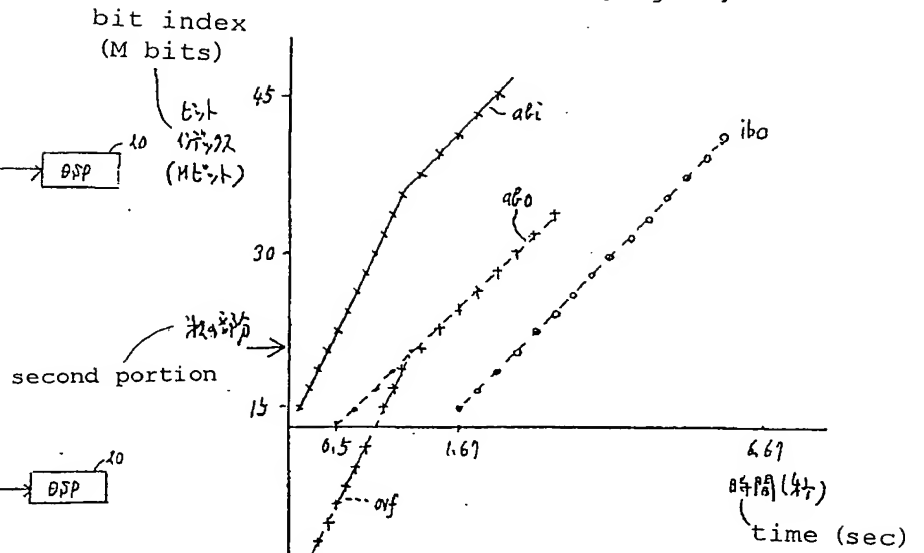


【図19】

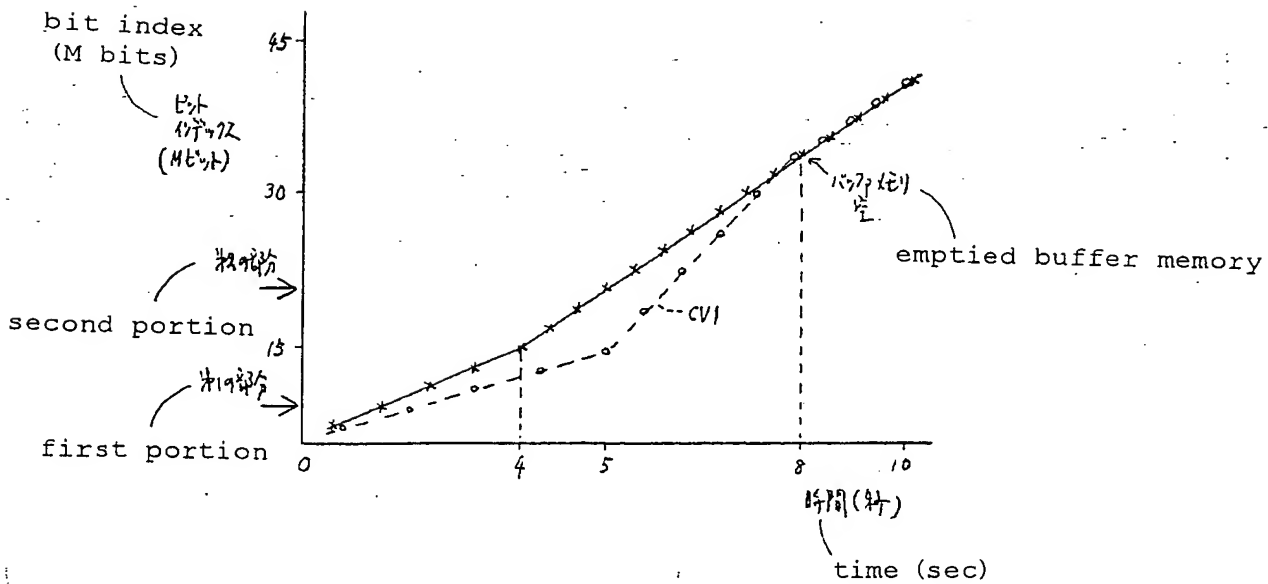
[Fig.19]



【図22】 [Fig.22]

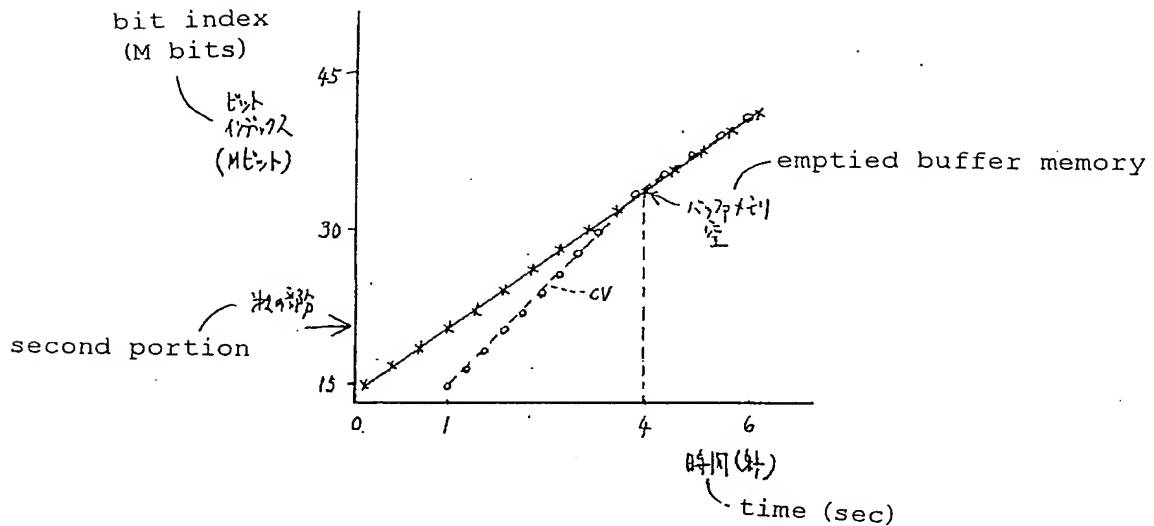


【図20】 [Fig.20]





【図21】 [Fig.21]



【手続補正書】

【提出日】平成5年8月23日

【手続補正1】

【補正対象書類名】図面

【補正対象項目名】図1

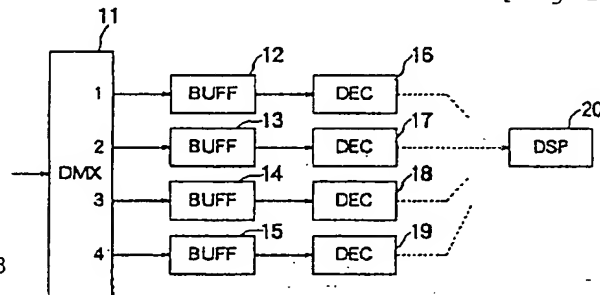
\* 【補正方法】変更

【補正内容】

【図1】

\*

[method of amendment] modification  
 [contents of amendment]  
 [Fig.1]



[amendment]

[filed date] Hei.05.08.23

[amendment 1]

[document name of object for amendment] drawing

[item of object for amendment] Fig.1

【手続補正2】

【補正対象書類名】図面

【補正対象項目名】図2

【補正方法】変更

【補正内容】

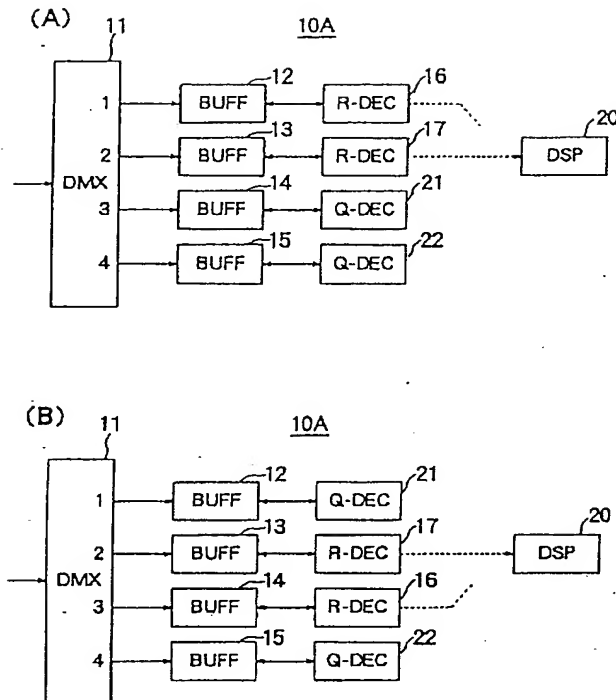
【図2】

[amendment 2]

[document name of object for amendment] drawing

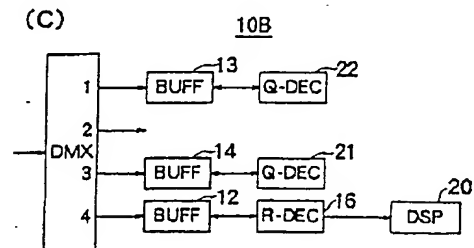
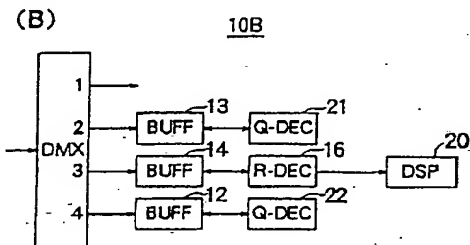
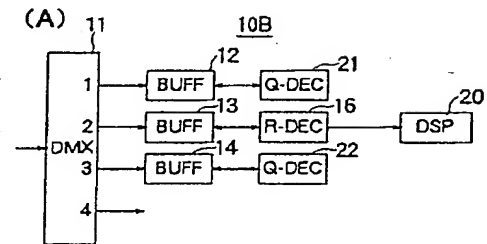
[item of object for amendment] Fig.2

[method of amendment] modification  
 [contents of amendment]  
 [Fig.2]



【手続補正3】  
 【補正対象書類名】図面  
 【補正対象項目名】図3  
 【補正方法】変更  
 【補正内容】  
 【図3】

[amendment 3]  
 [document name of object for amendment] drawing  
 [item of object for amendment] Fig.3  
 [method of amendment] modification  
 [contents of amendment]  
 [Fig.3]

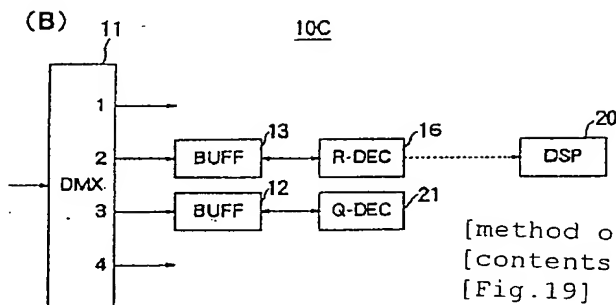
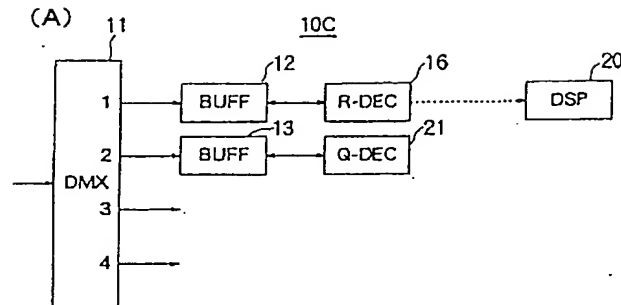


[amendment 4]  
 [document name of object for amendment] drawing  
 [item of object for amendment] Fig.3  
 [method of amendment] modification  
 [contents of amendment]  
 [Fig.4]

【手続補正4】  
 【補正対象書類名】図面  
 【補正対象項目名】図4  
 【補正方法】変更  
 【補正内容】

【図 4】

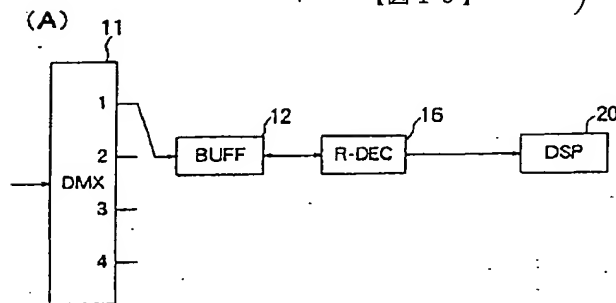
[Fig.4]



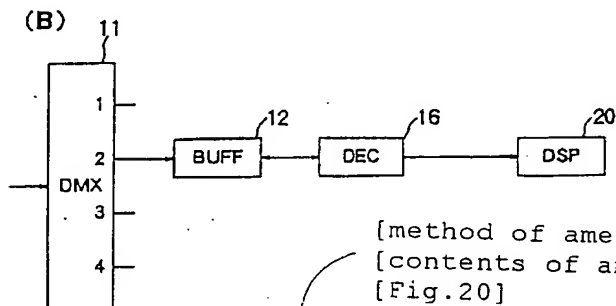
[method of amendment] modification  
[contents of amendment]  
[Fig.19]

【手続補正 19】  
【補正対象書類名】図面  
【補正対象項目名】図 19

\* 【補正方法】変更  
【補正内容】  
\* 【図 19】



[amendment 19]  
[document name of object for amendment] drawing  
[item of object for amendment] Fig.19

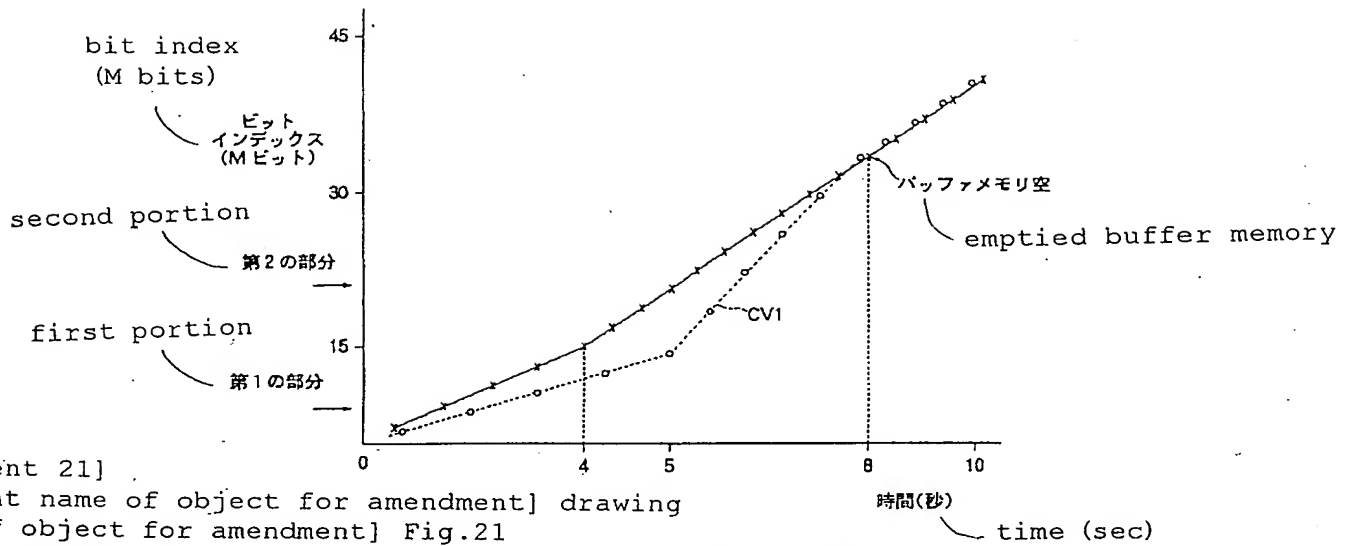


[method of amendment] modification  
[contents of amendment]  
[Fig.20]

【手続補正 20】  
【補正対象書類名】図面  
【補正対象項目名】図 20

【補正方法】変更  
【補正内容】  
【図 20】

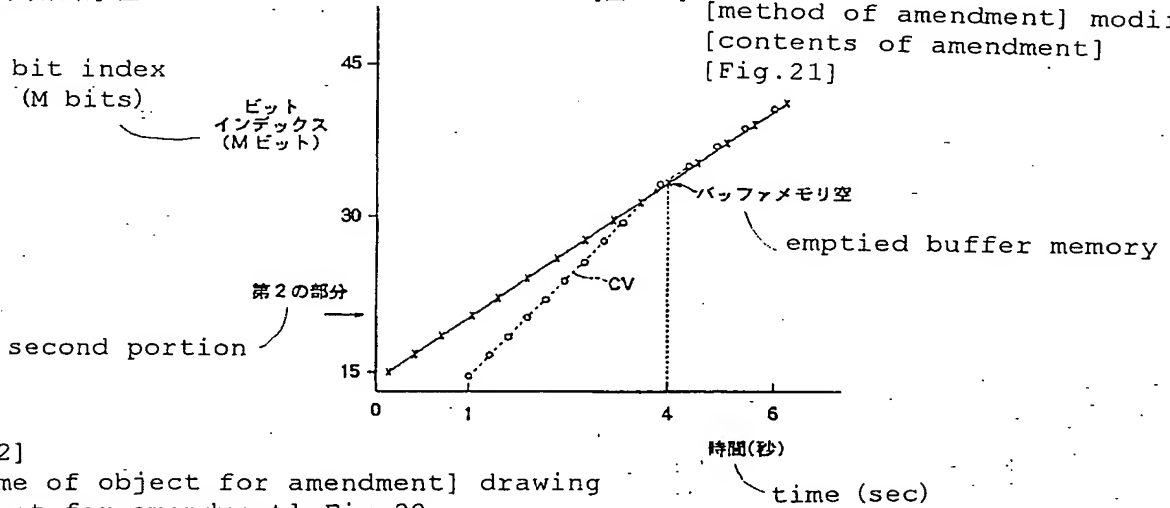
[amendment 20]  
[document name of object for amendment] drawing  
[item of object for amendment] Fig.20



【手続補正21】  
【補正対象書類名】図面  
【補正対象項目名】図21

\* 【補正方法】変更  
【補正内容】  
\* 【図21】

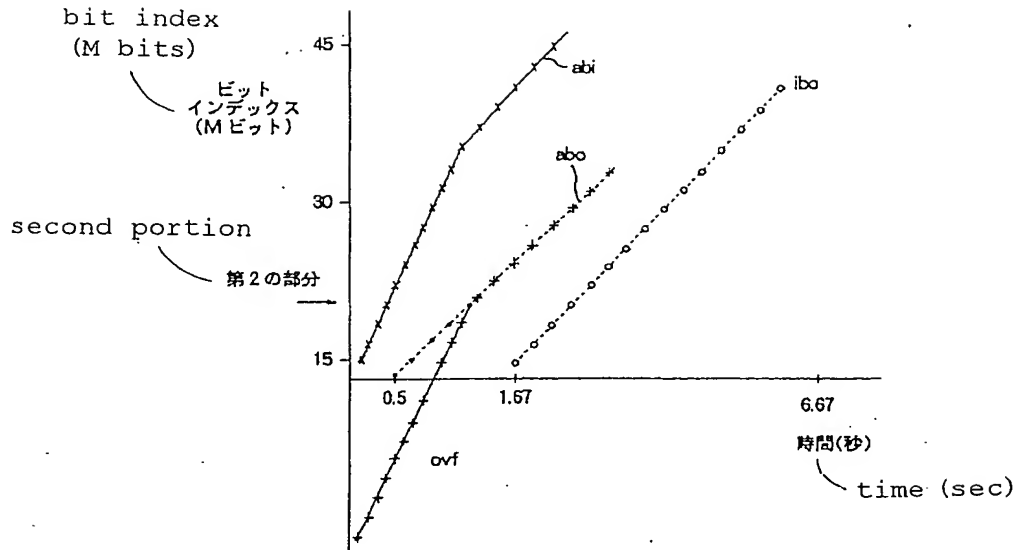
[method of amendment] modification  
[contents of amendment]  
[Fig.21]



【手続補正22】  
【補正対象書類名】図面  
【補正対象項目名】図22

【補正方法】変更  
【補正内容】  
【図22】

[method of amendment] modification  
[contents of amendment]  
[Fig.22]



フロントページの続き

(51) Int. Cl.<sup>6</sup>  
H04N 7/24

識別記号

庁内整理番号

F I

技術表示箇所

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-46198

(43) 公開日 平成7年(1995)2月14日

(51) Int.Cl.*	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 B 14/04	Z	4101-5K		
	B	4101-5K		
G 1 1 B 20/10	3 0 1 Z	7736-5D		
H 0 4 J 3/22		9299-5K		

H 0 4 N 7/13

Z

審査請求 未請求 請求項の数12 O L (全 27 頁) 最終頁に続く

(21) 出願番号 特願平5-190513

(22) 出願日 平成5年(1993)7月30日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 マーク フェルトマン

東京都品川区北品川6丁目7番35号 ソニー株式会社内

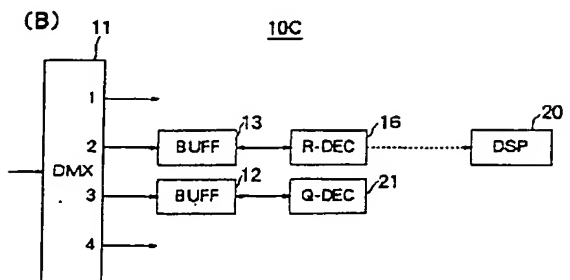
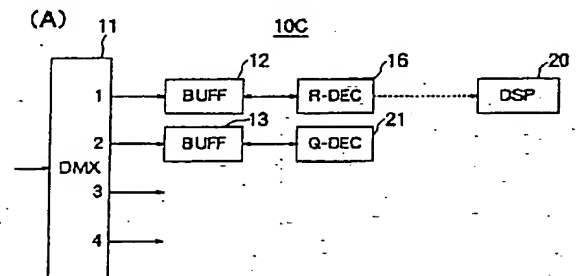
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 復号方法と復号装置

(57) 【要約】 (修正有)

【目的】 プレーバックまたはチャンネル切換されたビデオ信号を、短いスタートアップディレーで復号可能にする。

【構成】 復号装置10Cに、1つの復号器16と、バッファメモリの蓄積データを無効にする疑似復号器21、復号器16、疑似復号器21の前段にデマルチプレクシング回路11からのビデオ信号を受け入れ、所定の遅延時間でバッファリングするバッファメモリ12、13を設ける。チャンネル1から2にチャンネル切換がある時、未使用のバッファメモリ13に、チャンネル2のビデオ信号が蓄積され始め、復号器16はバッファメモリ13に蓄積されたビデオ信号を復号処理する。疑似復号器21はまだバッファメモリ12に蓄積したチャンネル1のビデオ信号のデータ蓄積状態を無効にする。チャンネル切換が行われても、バッファメモリ12の記憶データを排出するまで待機しないでも復号器16は復号処理できるからスタートアップディレーが短縮できる。



【特許請求の範囲】

【請求項1】少なくとも圧縮された画像信号を複数チャネルについて受入れ、該複数チャネルのうち選択されたチャネルについて圧縮された画像信号をバッファメモリ手段において所定の遅延時間でバッファリングし、このバッファリングされた画像信号を復号する方法であって、

新たに選択されたチャネルの画像信号を未使用状態のバッファメモリ手段にバッファリングし、該新たにバッファリングされている画像信号を復号し、選択前のチャネルの画像信号が蓄積されているバッファメモリ手段に蓄積された画像信号を無効化する復号方法。

【請求項2】前記復号処理を、前記圧縮された画像信号と同時的に圧縮された音声信号についても行う、請求項1記載の復号方法。

【請求項3】前記画像信号および前記音声信号がビットストリーム形態である請求項2記載の復号方法。

【請求項4】少なくとも圧縮された画像信号を複数チャネルについて受入れ、該複数チャネルのうち選択されたチャネルについての圧縮された画像信号を出力する手段と、

該選択出力手段から出力される画像信号を受け入れるように前記選択出力手段に作動的に接続され、所定の遅延時間をもって該画像信号をバッファリングする少なくとも2つの並列動作可能なバッファメモリ手段と、

該バッファメモリ手段のいずれかに作動的に接続され、該接続されたバッファメモリ手段に蓄積された画像信号を読み出して復号処理する少なくとも1つの復号手段と、

前記バッファメモリ手段のうち、前記復号手段が作動的に接続されていないほうのいずれかのバッファメモリ手段に作動的に接続され、該接続されたバッファメモリ手段に蓄積された画像信号を無効化処理する少なくとも1つの疑似復号手段とを有する復号装置。

【請求項5】前記復号手段が1つ設けられ、前記疑似復号手段が、チャネル位置的に前記復号手段を挟んで前後に2つ設けられ、前記バッファメモリ手段が3つ設けられ、前記チャネル切換が順次連続的に行われ、前記復号手段に作動的に接続されるバッファメモリ手段に、前記選択出力手段から選択されたチャネルの画像信号が印加されて画像信号が蓄積され、前記復号手段は該画像信号が蓄積されているバッファメモリ手段に蓄積された画像信号を復号処理し、前記疑似復号手段のうちのチャネル選択に後行する位置の疑似復号手段がチャネル選択直前に画像信号が蓄積されていたバッファメモリ手段の画像信号を無効化する請求項4記載の復号装置。

【請求項6】前記復号処理を、前記圧縮された画像信号

と同時的に圧縮された音声信号についても行う、請求項4または5記載の復号装置。

【請求項7】前記画像信号および前記音声信号がビットストリーム形態である請求項6記載の復号装置。

【請求項8】少なくとも圧縮された画像信号を受入れ、圧縮された画像信号をバッファメモリ手段において所定の遅延時間でバッファリングし、このバッファリングされた画像信号を復号する方法であって、

プレーバックが要求されたとき、要求されたプレーバック時点からの画像信号を未使用状態のバッファメモリ手段にバッファリングし、

該新たにバッファリングされている画像信号を復号し、プレーバック要求前の画像信号が蓄積されているバッファメモリ手段に蓄積されている画像信号を無効化する復号方法。

【請求項9】前記復号処理を、前記圧縮された画像信号と同時的に圧縮された音声信号についても行う、請求項8記載の復号方法。

【請求項10】少なくとも圧縮された画像信号を受入れ、所定の遅延時間をもって該画像信号をバッファリングする並列動作可能な少なくとも2つのバッファメモリ手段と、

該バッファメモリ手段のいずれかに作動的に接続され、該接続されたバッファメモリ手段に蓄積された画像信号を読み出して復号処理する少なくとも1つの復号手段と、

前記バッファメモリ手段のうち、前記復号手段が作動的に接続されていないほうのいずれかのバッファメモリ手段に作動的に接続され、該接続されたバッファメモリ手段に蓄積された画像信号を無効化処理する少なくとも1つの疑似復号手段とを有し、

プレーバックが要求されたとき、要求されたプレーバック時点からの画像信号を前記疑似復号手段に作動的に接続されているバッファメモリ手段にバッファリングし、前記復号手段が該新たにバッファリングされている画像信号を復号し、

前記疑似復号手段がプレーバック要求前の画像信号が蓄積されているバッファメモリ手段に蓄積された画像信号を無効化する復号装置。

【請求項11】前記復号処理を、前記圧縮された画像信号と同時的に圧縮された音声信号についても行う、請求項10記載の復号装置。

【請求項12】前記画像信号および前記音声信号がビットストリーム形態である請求項11記載の復号方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は画像信号（ビデオ信号）、および、音響信号または音声信号（オーディオ信号）の処理方法とその装置に関する。本発明は特定のには、MPEG（Motion Picture Image Coding Expert

Group)などの規格に基づいて、ビデオ信号とこのビデオ信号に同期しているオーディオ信号とを圧縮・符号化してデータ伝送系またはデータ蓄積系にビットストリームとして提供し、さらにデータ伝送系またはデータ蓄積系からこのビットストリームを入力して伸長・復号するオーディオ・ビデオ(AV)信号処理方法と装置に関する。さらに特定的には、本発明は上記復号信号処理を行う際、プレーバックまたはチャンネル切換時などにおけるスタートアップディレーを短縮する方法と装置に関する。

#### 【0002】

【従来の技術】コンパクトディスク・リードオンリーメモリ(CD-ROM)、レーザディスク(LD)、ビデオテープ、磁気光学式記録媒体(MO)、DCCなどのデジタルデータ蓄積媒体に映像信号(ビデオ信号)および音声信号(オーディオ信号)を圧縮し多重化(マルチプレクシング)してビットストリームとして直接記録し、再び、データ蓄積媒体から多重化されたビットストリームを読み出してデマルチプレクシングをして圧縮と逆の伸長処理をし、圧縮処理前の元のビデオ信号(原ビデオ信号)および元のオーディオ信号を再生する(復号する)ことが、ビデオテープ記録再生装置、マルチメディアシステム、その他の画像および音声データ処理装置において行われている。またテレビジョン放送、衛星放送、マルチメディアシステムなどにおいても、ビデオ信号とオーディオ信号とを圧縮して符号化し、多重化したビットストリームとしてデータ伝送系またはデータ蓄積系に出力し、その後、多重化されたビットストリームを入力してデマルチプレクシングした後、圧縮の逆の伸長処理をして元のビデオ信号とオーディオ信号とを復号することが行われている。

【0003】CD-ROM、LD、ビデオテープなどのデータ蓄積媒体にビデオ信号およびオーディオ信号を圧縮して符号化して記録し、データ蓄積媒体に記録された符号化されたビデオ信号およびオーディオ信号を伸長して元のビデオ信号およびオーディオ信号に復号する蓄積用動画符号化標準としての国際的な規格として、ISOとJECのデータ処理分野における共通事項を取り扱うJ-TCIの傘下にあるSC2の中のワーキンググループ(WG)11において、MPEG(Motion Picture Image Coding Expert Group)が定めた規格MPEG1、および、規格MPEG2が知られている。

【0004】MPEGは、広範囲な適用を前提とした標準であり、位相同期(フェーズロック)をとる場合と位相同期をとらない(アンロックする)場合とを予定している。位相同期をとる場合は、ビデオ信号符号化クロック(つまり、フレームレート)とオーディオ信号符号化クロック(つまり、オーディオ信号サンプリングレート)とが共通のシステムクロック基準(System Clock Reference)SCRに位相同期される。MPEGはこの場

合、0.7秒の周期でタイムスタンプを多重化ビットストリームに付加することを要求している。位相同期をとらない場合は、ビデオ信号とオーディオ信号とは独立に処理され、これらは符号化の際付加されたそれぞれのタイムスタンプに基づいて復号される。

【0005】またMPEGは、システムターゲットデコーダのパッファリング遅延時間として、1秒を規定している。さらにMPEGは、復号の際、ビデオ信号およびオーディオ信号を検索するためのディレクトリを設けること規定している。

【0006】図5は、そのようなMPEG1またはMPEG2をビデオ信号およびオーディオ信号処理装置に適用した場合の構成例を示す図であり、いかにして符号処理系100が非圧縮ビデオ信号S2および非圧縮オーディオ信号S3を入力して、いかにして拘束パラメータシステムターゲットデコーダ400についてのある情報を生成し、いかにして種々の復号処理系に適した拘束ビットストリームを形成するかについて示している。このビデオ信号およびオーディオ信号処理装置は、圧縮処理前の元のビデオ信号(原ビデオ信号)を提供する非圧縮ビデオ信号源2、圧縮処理前の原オーディオ信号を提供する非圧縮オーディオ信号源3、これら非圧縮ビデオ信号S2および非圧縮オーディオ信号S3を入力し、所定の圧縮処理をして符号化しさらに多重化処理(マルチプレクシング)してビットストリーム形態の圧縮符号化信号S100を出力する符号処理系100、および、この符号処理系100からのビットストリーム形態の圧縮符号化信号S1を送信または蓄積するデータ伝送系またはデータ蓄積系5を有する。データ伝送系またはデータ蓄積系5としては、データ蓄積を行う場合はたとえば、CD-ROM、LD、ビデオテープなどであり、データ伝送を行う場合はたとえば、テレビジョン放送通信系、通信衛星系、データ通信系などである。ビデオ信号およびオーディオ信号処理装置はまた、データ伝送系またはデータ蓄積系5から送出されるビットストリーム形態の圧縮符号化信号S5を入力し、符号処理系100における多重化処理(マルチプレクシング)と逆の分解処理(デマルチプレクシング)し、符号処理系100における圧縮と逆の伸長処理をして、符号処理系100に入力される前の非圧縮ビデオ信号S2および非圧縮オーディオ信号S3と同等の復号化非圧縮ビデオ信号S6Aおよび復号化非圧縮オーディオ信号S6Bを復号する復号処理系600を有する。ビデオ信号およびオーディオ信号処理装置はさらに、符号処理系100および復号処理系600の処理を規定するため、それぞれ、符号処理系100へのガイドライン(基準信号)S4Aおよび復号処理系6Aへのガイドライン(基準信号)S4Bを送出する拘束パラメータ(Constraint Parameter)・システムターゲットデコーダ(STD: System Target Decoder)400を有する。



【0007】拘束パラメータシステムターゲットデコーダ400は、仮想的な(Hypothetical)システムターゲットデコーダ、システム基準(Reference)デコーダ、あるいは、基準復号処理系などとも呼ばれるが、ここでは、以下、拘束パラメータシステム・ターゲットデコーダ、あるいは、簡単に、システムターゲットデコーダなどと呼ぶ。拘束パラメータシステムターゲットデコーダ400は、CCITT H. 261およびMPEG1ビデオ標準などの国際標準規格において使用されており、ビデオ信号符号器およびビデオ信号復号器(デコーダ)の設計者のための指針を与えている。MPEG1システム標準において、システムターゲットデコーダ(STD)も基準オーディオ信号デコーダを有している。これらの基準モデルにおいて、各ビデオ信号およびオーディオ信号デコーダもまた推奨されているバッファの大きさを有するバッファ、および、いかにビデオ信号およびオーディオ信号デコーダを動作させるかについて記述する標準を有している。推奨されているバッファの大きさを有するモデルは「拘束パラメータ・システムターゲットデコーダ(STD)」と呼ばれている。実用的には、拘束パラメータ・システムターゲットデコーダ(STD)以上の性能を持たない非常に多くの実際の復号システムが存在しないことが期待されている。したがって、ビットストリームが形成されたとき、そして、多くの数の実際のデコーダに到達することが必要なとき、符号化システムが一般的に、拘束パラメータ・システムターゲットデコーダに適したビットストリームを作成する。これらの多重化ビットストリームは拘束システムパラメータ・ストリーム:Constraint System Parameter Stream:CSPS)と呼ばれている。

【0008】拘束パラメータシステムターゲットデコーダ400は、デマルチプレクシング部401、ビデオ信号バッファ402、オーディオ信号バッファ403、ビデオ信号デコーダ404、および、オーディオ信号デコーダ405を有する。この例においては、ビデオ信号バッファ402は46Kバイトの記憶容量を有し、オーディオ信号バッファ403は4Kバイトの記憶容量を有する。デマルチプレクシング部401はスイッチング回路を有し、ビデオ信号デコーダ404、および、オーディオ信号デコーダ405は高速演算処理に適した構成をとる高速ディジタル信号処理装置(DSP)で一体構成されることが、装置構成の面、フレキシブルの観点から望ましい。

【0009】図6(A)は拘束パラメータシステムターゲットデコーダ400に入力される拘束パラメータ(マルチプレクシング)・システムビットストリームCSPSのフォーマットを示す。このビットストリームは、時系列的に配置された複数のパック(PACK)で構成され、それぞれのパックは、ヘッダ(HEADER)、ビデオ信号パケット(PACKET)、および、オーディオ

信号パケットを含んでいる。それぞれのビデオ信号パケットは、ビデオ信号のフレームごとのビデオ信号と、そのフレームの時刻を示すタイムスタンプ(TIME STAMP)を含むパケットヘッダ(PACKET HEADER)から構成されている。それぞれのオーディオ信号パケットは、所定の単位(ユニット)ごとのオーディオ信号とそのユニットの時刻を示すタイムスタンプを含むパケットヘッダとで構成されている。ビデオ信号についてのフレームn+1のタイムスタンプをビデオタイムスタンプvtsと呼び、オーディオ信号についてユニットm+1のタイムスタンプをオーディオタイムスタンプatsと呼ぶ。つまり、符号処理系100は、非圧縮ビデオ信号S2および非圧縮オーディオ信号S3を符号化して、図6(A)に示したフォーマットのマルチプレクシング・ビットストリームにしてデータ伝送系またはデータ蓄積系5に送出し、拘束パラメータシステムターゲットデコーダ400はこのビットストリームに基づく圧縮符号化信号を含む多重化ビットストリームS5を入力して復号する。

【0010】符号処理系100に入力される非圧縮ビデオ信号S2と非圧縮オーディオ信号S3とは、データ数、速度が異なる他、圧縮率も異なる。したがって、同じ時刻に符号処理系100に入力されたビデオ信号とオーディオ信号を圧縮処理しても同じ速度、同じ大きさの符号化ビデオ信号と符号化オーディオ信号が提供される訳ではない。また、たとえば、ビデオ信号についても、ビデオ信号の内容によって圧縮率は異なる。オーディオ信号についても同様である。したがって、符号処理系100からは固定した状態(条件)の符号化ビデオ信号および符号化オーディオ信号が出力される訳ではない。復号処理系600において、これら元のビデオ信号およびオーディオ信号を復号化非圧縮ビデオ信号S6Aおよび復号化非圧縮オーディオ信号S6Bとして復号する際、タイミング的に同期をとる必要がある。そこで、そのような同期を実現するため、MPEGは上述したタイムスタンプをビデオ信号とオーディオ信号のそれぞれにフレームごとに付加することを規定している。つまり、ビデオ信号タイムスタンプとオーディオ信号タイムスタンプとはビデオ信号とオーディオ信号との同期をとった復号を行うためのクロックを規定する時刻を示しており、オーディオ信号タイムスタンプはオーディオ信号の復号を行うためのクロックを生成する時刻を示している。なお、タイムスタンプを用いる目的は、上述した同期をとるための他に、バッファリングの問題を解消するため、および、符号系におけるデータの複写のためである。

【0011】図7は復号処理系600の構成図である。復号処理系600は、デマルチプレクシング部601、ビデオ信号ビットストリーム構成変換処理部602、ビデオ信号受信バッファ603、ビデオ信号復号器(デコ

ード) 604、ピクチャーレート制御回路605、オーディオ信号ビットストリーム構成変換処理部606、オーディオ信号受信バッファ607、オーディオ信号復号器(デコーダ)608、および、サンプリングレート制御回路609を有する。デマルチプレクシング部601は、上述したフォーマットの多重化ビットストリームS5を入力し、ビデオ信号、ビデオタイムスタンプvts、オーディオ信号、オーディオタイムスタンプatsに分解(分離)する。ビデオ信号ビットストリーム構成変換処理部602は分離されたビデオ信号とビデオタイムスタンプvtsを入力し、図6(B)に示すフォーマットに変換する。ビデオ信号受信バッファ603は変換されたビデオ信号を順次記憶し、記憶した順序に従ってビデオ信号復号器604に出力する。同様に、オーディオ信号ビットストリーム構成変換処理部606は分解されたオーディオ信号とオーディオタイムスタンプatsを入力して図6(B)に示すフォーマットに変換する。オーディオ信号受信バッファ607は変換されたオーディオ信号を順次記憶し、記憶した順序に従ってオーディオ信号復号器608に出力する。ビデオ信号復号器604は、ピクチャーレート制御回路605から出力されるタイミング信号に基づいてビデオ信号受信バッファ603から出力されたビデオ信号を復号する。オーディオ信号復号器608は、サンプリングレート制御回路609から出力されるタイミング信号に基づいてオーディオ信号受信バッファ607から出力されたオーディオ信号を復号する。

【0012】上述したビデオ信号受信バッファ603およびオーディオ信号受信バッファ607について述べる。復号に際して完全に一致したクロックを用いてビデオ信号とオーディオ信号とを復号することはできない。第1の理由は、上述したように圧縮率が異なるからである。第2の理由について、たとえば、オーディオ信号復号器608におけるオーディオ信号の復号について述べる。固定のビデオレートで復号するオーディオ信号復号器608に入力されるオーディオ信号の入力データレートと、データ伝送系またはデータ蓄積系5から出力されたオーディオ信号の転送ビデオレートとはサンプリングレートクロックの誤差に依存して変化する。さらに、オーディオ信号復号器608には一般に、一度に1つのオーディオ信号、アクセスユニットが入力されるので、データ伝送系またはデータ蓄積系5からの多重化ビットストリームS5の転送レートと、オーディオ信号復号器608に入力されるオーディオ信号とのデータレートとは一致しない。そこで、オーディオ信号復号器608の前段にオーディオ信号受信バッファ607が設けられ、上述したデータレートの不一致を調整するように構成されている。図8に上述した関係を図解する。

【0013】また図9に図解したように、ビデオ信号は符号処理系100においてフレームごとに(あるいは、

フィールドごとに)圧縮され、可変長符号化処理されるために、ビデオ信号復号器604に対する入力データレートは符号処理系100におけるビデオ信号の圧縮に依存して大きく変化する。したがって、ビデオ信号受信バッファ603の記憶容量はオーディオ信号受信バッファ607の記憶容量より大きくなる。たとえば、ビデオ信号受信バッファ603の記憶容量は46Kバイトに対して、オーディオ信号受信バッファ607の記憶容量は4Kバイトである。図10にビデオ信号受信バッファ603またはオーディオ信号受信バッファ607の受信バッファとしては(以下、ビデオ信号受信バッファ603を例示する)のバッファリングタイミングを示す。図10(A)に示したように、このバッファリングとしては、ビデオ信号受信バッファ603に入力されたデータの量から、破線で示したビデオ信号受信バッファ603の記憶容量を減じたデータ量がビデオ信号受信バッファ603から読み出されるデータの量を越えない状態、つまり、アンダーフローを生じさせず、かつ、ビデオ信号受信バッファ603から読み出されたデータの量がビデオ信号受信バッファ603に入力されるデータの量を越えない状態、つまり、オーバーフローを生じさせない状態が理想的である。しかしながら、図10(B)に図解したように、このバッファリングにはオーバーフローまたはアンダーフローが生ずることがある。

【0014】このバッファリングにおけるオーバーフローまたはアンダーフローを防止する方法としては、たとえば、図11(A)~図11(C)に図解した処理が考えられている。第1の方法は、図11(A)に図解したように、「蓄積メディアスレーブ方法」と呼ばれるものであり、ビデオ信号受信バッファ603に入力されたデータ量L1からビデオ信号受信バッファ603の記憶容量がビデオ信号受信バッファ603から読み出されたデータの量L3を越えず、かつ、ビデオ信号受信バッファ603から読み出されたデータの量L3がビデオ信号受信バッファ603に入力されたデータの量L1を越えないように曲線L1'で示したようにビデオ信号受信バッファ603に入力されるデータの量を制御する。曲線L2はビデオ信号受信バッファ603に入力されたデータL1からビデオ信号受信バッファ603の記憶容量を減じた量の変化を示し、曲線L2'は制御された実際にビデオ信号受信バッファ603に入力されたデータの量の変化を示す。第2の方法は、図11(B)に図解したように、「デコーダスレーブ方法」と呼ばれるものであり、ビデオ信号受信バッファ603に入力されたデータ量L1が、ビデオ信号受信バッファ603の記憶容量を減じたデータ量L2が、ビデオ信号受信バッファ603から読み出されるデータの量L3を越えず、かつ、ビデオ信号受信バッファ603から読み出されたデータの量L3がビデオ信号受信バッファ603に入力されるデータの量L1を越えないようにビデオ信号復号器604の

フレームレートを変更してビデオ信号受信バッファ603からデータを読み出す。実際にビデオ信号受信バッファ603から読み出されたデータの量の変化を曲線L3'として示す。以上、ビデオ信号について述べたが、オーディオ信号の場合も、オーディオ信号復号器608のサンプリングレートを変化させてオーディオ信号受信バッファ607から読み出すデータの量を調整する。第3の方法は、図11(C)に図解したように、ビデオ信号受信バッファ603から読み出すデータの量を調整するものであり、たとえば、アクセスユニットをスキップしたり、再表示してビデオ信号受信バッファ603から読み出されるデータの量を調整する。曲線L3'が調整されてビデオ信号受信バッファ603から読み出されたデータの量の変化を示す。

【0015】しかしながら、上述したデコーダ(復号器)のフレームレートまたはサンプリングレート、あるいは、データ伝送系またはデータ蓄積系5からの転送レートを変更することは、ビデオ信号およびオーディオ信号処理装置の外部の関連する装置に影響を与えるから、自由には変更することができず、ある範囲に制限される。その結果、バッファリングにおいてオーバーフローまたはアンダーフローが頻繁に発生するような場合には、それを完全に防止することができない。バッファリングにおけるオーバーフローまたはアンダーフローに起因する復号処理の誤動作は、特に、復号開始時点に生ずる。よって、デコーダにおいて、「スタートアップディレー(開始時点遅延)」という、再生初期時に復号処理を遅延する処理を行ってこの問題を解決する方法が考えられている。

【0016】図12にスタートアップディレーに基づくバッファリングの諸態様を示す。図12(A)は、スタートアップディレーに無関係に理想的にバッファリングが行われた場合、図12(B)は、適切にスタートアップディレーが行われた場合のバッファリング、図12(C)はスタートアップディレーが長くビデオ信号受信バッファ603がオーバーフローする場合、図12(D)はスタートアップディレーが短くアンダーフローが生じる場合を示す。

【0017】MPEGにおいては、上述したようにそれぞれのパックのヘッダに位相同期をとるためのシステムクロック基準SCRを記述することができ、システムクロック基準SCRは転送ビットレートを定義するために使用できる。さらにMPEGにおいては、ビデオ信号パックはオーディオ信号パックのヘッダに記述されるタイムスタンプは、フレームレートまたはサンプリングレートを制御するために使用できる。つまり図13に図解したように、システムクロック基準SCRはデータ伝送系またはデータ蓄積系5から復号処理系600に入力された多重化ビットストリームS5の時刻を示し、ビデオ信号パックまたはオーディオ信号パック

のタイムスタンプはビデオ信号またはオーディオ信号がビデオ信号受信バッファ603またはオーディオ信号受信バッファ607から出力された時刻を示す。これらの時刻は、たとえば、水晶発振器を用いて90KHzの基準クロックを用いて絶対時刻で記録することができる。このように、システムクロック基準SCRとタイムスタンプとの差をスタートアップディレーに使用できる。図13において、記号DTSは復号時刻を意味するデコーダタイムスタンプを示し、記号PTSはビデオ信号、つまり、ピクチャーの復号時刻を意味するピクチャータイムスタンプを示し、記号Hはヘッダを示す。

【0018】上述したように、MPEGにおけるオーディオ信号の復号とビデオ信号の復号に際しては、これら両者の復号結果を同期させる必要があり、この同期にタイムスタンプを用いる。ビデオ信号およびオーディオ信号の復号処理時刻を0秒と仮定する。図14に示したように、IピクチャーおよびPピクチャーとしてのフレーム以外、つまり、Bピクチャーとしてのフレームにおいては、タイムスタンプによって示されるアクセスユニットの復号時刻は、Bピクチャーが表示される表示時刻と同じになる。つまり、デマルチプレクシング部601を介してビデオ信号受信バッファ603に順次入力されているビデオ信号のうち、第m番目のビデオ信号パックの第i番目のフレームのIピクチャーのビデオ信号: Frame i(I)が時刻DTS<sub>m</sub>にビデオ信号受信バッファ603から読み出されて復号された後、ビデオ信号復号器604の後段に設けられたIピクチャーおよびPピクチャーのビデオ信号(フレーム)を一時的に記憶するI/Pバッファに記憶する。Iピクチャーのビデオ信号とPピクチャーのビデオ信号とは復号時刻と表示時刻とが異なる。そこで、そのビデオ信号に対応するビデオ信号パックのヘッダには、それぞれ復号時刻および表示時刻を示すタイムスタンプとしてのDTSとPTSとが記録されるが、IピクチャーとPピクチャーのビデオ信号の表示時刻PTSとは次のIピクチャーとPピクチャーのDTSとは同じであるから、表示時刻PTSは省略できる。

【0019】しかしながら、上述したMPEGに基づくビデオ信号およびオーディオ信号処理装置においては、ビデオ信号ビットストリーム構成変換処理部602およびオーディオ信号ビットストリーム構成変換処理部606の回路構成が複雑になるという問題に遭遇している。さらに上述したビデオ信号およびオーディオ信号処理装置は、復号処理系600に入力されるデータがマルチプレクシングされたビットストリームであることを前提としており、たとえば、ビデオ信号またはオーディオ信号のいずれかがマルチプレクシングされずに入力された場合には、復号することができず、復号処理系として種々の復号処理を行うことを考慮すると、その汎用性に問題があった。

【0020】そこで本願出願人（本願発明者）は、上述した問題を解決するビデオ信号およびオーディオ信号復号装置を提案した（たとえば、平成5年2月26日出願の特願平5-63293号、「データ復号化装置」を参照）。図15にこの復号装置の構成を示す。このときのビットストリームを図6または図16に示す。図16に示したビットストリームは、複数のビデオ信号パッケージと、オーディオ信号パッケージとが連続し、それぞれの複数のビデオ信号パッケージは、第1のビデオ信号パッケージヘッダ、第1のピクチャグループGOP0～第4のビデオ信号パッケージヘッダ、第4のピクチャグループGOP3が配列されている。各々のビデオ信号パッケージヘッダにはこのビデオ信号のタイムスタンプが格納されている。それぞれのピクチャグループには20個のフレームのビデオ信号が格納されている。オーディオ信号パッケージにはオーディオ信号タイムスタンプ、および、オーディオ信号アクセスユニットAAUが格納されている。

【0021】この復号装置は、デマルチプレクシング501、DSP502、90KHzのクロックを発生するクロック発生器503、全体時刻レジスタ504、ビデオ信号受信バッファ505a、オーディオ信号受信バッファ505b、ビデオ信号復号器506a、オーディオ信号復号器506b、ビデオ信号タイムスタンプバッファ507a、オーディオ信号タイムスタンプバッファ507b、ビデオ信号クロック用位相同期回路（PLL）508a、オーディオ信号クロック用PLL508bを有する。デマルチプレクシング501においてビットストリームから分解されたビデオ信号タイムスタンプがビデオ信号タイムスタンプバッファ507a、オーディオ信号タイムスタンプがオーディオ信号タイムスタンプバッファ507bに格納される。またビットストリームから分解されたビデオ信号がビデオ信号受信バッファ505aに格納され、分解されたオーディオ信号がオーディオ信号受信バッファ505bに格納される。これらバッファ505a、505bに格納されたデータがそれぞれ、PLL508a、508bからのクロックによって復号器506a、506bにおいて同期状態で復号される。このように、簡単な回路構成にすることができる。

【0022】図17に多重化ビットストリームのフォーマットとその処理を図解する。ただし、このビットストリームはビデオ信号についてのみ示し、オーディオ信号については省略している。図18にこのビットストリームに基づくMPEGによるビデオ信号およびオーディオ信号処理装置の構成を示す。拘束パラメータシステムターゲットデコーダ410はデマルチプレクシング部411、ビデオ信号バッファ412、オーディオ信号バッファ413、ディレクトリデータバッファ414、ビデオ信号デコーダ415、オーディオ信号デコーダ416、ディレクトリデコーダ417を有する。復号処理系61

0は拘束パラメータシステムターゲットデコーダ410と同様に構成されている。符号処理系110は、図17（A）に図解したビットストリームを生成する。このビットストリームは、第1のディレクトリパッケージとこのディレクトリパッケージに対応する第1のビデオ信号パッケージとが一对になっている。ディレクトリパッケージ内は最初の位置にディレクトリパッケージヘッダ、続いて、第1～第20のポインタP0～P19が格納されている。ビデオ信号パッケージの最初の位置にビデオ信号パッケージヘッダ、続けて第1～第20のピクチャグループGOP0～GOP19が格納されている。第1のポインタP0が第1のピクチャグループGOP0の記録位置などを指定している。他のポインタも対応するピクチャグループの位置を指定している。

【0023】具体例として、ビデオテープ記録再生装置における再生動作を例示する。この場合、符号処理系110はビデオテープ記録再生装置の記録系であり、データ伝送系またはデータ蓄積系5はビデオテープであり、復号処理系610は再生系である。図17（B）に示すように、ユーザーがファーストフォワード（First Forward：FF）動作またはファーストリバース（First Reverse：FR）動作を要求する前は、復号処理系610はビデオテープ5から、順次、ディレクトリパッケージヘッダの記録内容、ポインタの指定内容に基づいて、ピクチャグループが連続的に読みだし、ディレクトリバッファにポインタ、ビデオ信号バッファにビデオ信号を格納し、ビデオ信号復号器においてビデオ信号を復号する。図17（C）に示すように、ユーザーがファーストフォワード動作を要求すると、ディレクトリバッファに格納されたディレクトリデータが空になるまでスキップ動作が行われ、ピクチャグループを飛ばしていく。そして、図17（D）に示したように、ディレクトリバッファに新たなディレクトリが格納された位置のポインタまで戻る。図17（E）に示したように、ファーストフォワード動作においては上述した動作、つまり、フィードバック動作が行われる。

【0024】また、MPEGにおいては、上述したようにバッファリングの遅延時間を規定しており、位相同期をとらない場合のこのバッファリング遅延時間は1秒以内と制限している。

【0025】図19（A）は上述した復号処理系の概略構成図である。この図解は、たとえば、上述した復号処理系の1例としてテレビジョン受像機において、圧縮されている複数のチャンネルのビデオ信号の1つをデマルチプレクシング回路11でチャンネル選択して、ビデオ信号バッファメモリ12に一旦蓄積し、ビデオ信号復号器16で圧縮されているビデオ信号を伸長などの復号処理を行い、再生装置20に出力する場合を例示している。デマルチプレクシング回路11は、機能的には、図7に示したデマルチプレクサ601、図15に図解したデマル

チプレクサ501に対応しているが、これらの例におけるデマルチプレクサ501、601がビデオ信号とオーディオ信号とをデマルチプレクシングしているのに対して、デマルチプレクシング回路11は複数のチャンネルのビデオ信号をデマルチプレクシングする。ビデオ信号バッファメモリ12は、図7に図解したビデオ信号受信バッファ603、図15に図解したビデオ信号受信バッファ505aと同様に動作する。ビデオ信号復号器16は、図7および図15に図解したビデオ復号器と同様の機能を有する。ビデオ信号バッファメモリ12とビデオ信号復号器16とのバッファリング処理は、図9を参照して述べたと同様の処理を行う。図解の関係でビデオ信号の処理系についてだけ述べたが、オーディオ信号についても上記同様の構成および処理を行うことができる。

【0026】図19(A)に図解したように、デマルチプレクシング回路11を介して、チャンネル1のビデオ信号がビデオ信号バッファメモリ12に入力され、このビデオ信号バッファメモリ12にバッファリングされたビデオ信号をビデオ信号復号器16が復号処理して、復号処理結果を再生装置20に出力する。図19(B)に図解したように、次に、チャンネル1からチャンネル2にチャンネル切り換えが生じた場合、デマルチプレクシング回路11を介してチャンネル2のビデオ信号がビデオ信号バッファメモリ12にバッファリングされ、ビデオ信号復号器16はこの新たなバッファリングビデオ信号について復号処理を行う。

【0027】

【発明が解決しようとする課題】しかしながら、図19に図解した復号装置においては、複数のチャンネルについて、1系統のバッファメモリ12およびビデオ信号復号器しか有していないから、チャンネル切り換え時、上述した1秒のスタートアップディレーの問題に遭遇する。つまり、バッファメモリ12には上述した方法でビデオ信号が蓄積され、ビデオ信号復号器16で復号処理のために排出されていくが、ある時点においてチャンネル切り換えが行われた時、以前に選択されていたチャンネルのビデオ信号を全てバッファメモリ12から排出しないと新たに選択されたチャンネルについてのビデオ信号をバッファメモリ12に入力できず、ビデオ信号復号処理ができない。このため、スタートアップディレーが起こる。ビデオ信号と同様にオーディオ信号が再生されるから、オーディオ信号についても上記同様のスタートアップディレーが起こる。このスタートアップディレーの間は、再生装置20には新たに選択されたチャンネルのビデオ信号およびオーディオ信号が再生されないから、ユーザーはチャンネル切り換えを行ったにも係わらず、新たに切り換えたチャンネルの映像および音響が得られない。つまり、現在の復号処理系にはチャンネル切り換え時の応答性に問題がある。

【0028】上述した問題とテレビジョン受信機などに

おけるチャンネル切り換えに限らず、ビデオ信号のプレーバック時にも起こる。図20を参照して、プレーバック時のスタートアップディレーの問題を述べる。この例は、曲線CV1に示すように、第1の部分を復号処理するビットレートが3メガ(M)ビット/秒であり、第2の部分を復号するビットレートが6Mビット/秒である。第1の部分の開始時点において、ビデオ信号復号器16がプレーバック処理を開始したとき、このビットストリームについては、スタートアップディレーは殆どなく問題はない。しかしながら、第2の部分の開始時点において、ビデオ信号復号器16がプレーバック処理を開始したとき、このビットストリームについては、上述したように、1秒のスタートアップディレーが必要である。

【0029】図21は1秒のスタートアップディレーを行った後に、バッファメモリ12にビデオ信号が蓄積される状態を示すグラフである。図21において、アクセスポイントが画像データ量の多いイントラ(intra)・ピクチャーの場合、第2の部分の開始時点に対するアクセスのみ可能である。一般的に、イントラ・ピクチャーはビデオ信号のビットストリームに規則的に発生する。そこで、ユーザーが第2の部分の開始時点においてプレーバックの始まりを要求すると、少なくとも1秒のスタートアップディレーによって、ユーザーは少なくとも1秒程度、再生情報、つまり、再生ビデオ信号および再生オーディオ信号を得られない。

【0030】図22は、ビットストリームが1秒よりもさらに長いスタートアップディレーを有する場合のバッファリングを説明するグラフである。ビットストリームが1秒よりも長い場合、通常の伝送レートよりも高い伝送レートを用いて迅速なスタートアップディレーを可能にする高速な、換言すれば、高価なバッファメモリ(記憶媒体)が必要になる。\*を結んだ曲線abi(actual decoder buffer input)は実際のバッファメモリへのビデオ信号の入力を示し、黒点を結んだ曲線abo(actual decoder buffer output)は実際のバッファメモリへのビデオ信号の出力を示し、○印を結んだ曲線ibo(intended decoder buffer output)は設計値としてのバッファメモリへのビデオ信号の出力を示し、+を結んだ曲線ovfはバッファのオーバーフロー限界を示す。復号処理系が高性能の記憶媒体を持っているこの例において、たとえば、15Mビット/秒のレートでバッファメモリにビデオ信号の蓄積が始まる。その結果、0.5秒後にバッファメモリには7.5Mビットのビデオ信号が蓄積される。このビデオ信号の蓄積量は、4.5Mビット/秒のレートで1.67秒、ビデオ信号を蓄積した量に等しい。つまり、この例では、バッファメモリの開始としては0.5秒で充分である。この例においては、6Mビット/秒のレートでビデオ信号の読みだしが始まるまで15Mビット/秒のレートでビデオ信号の蓄積が

行われ、バッファメモリが満杯になったら、6 Mビット／秒のレートでビデオ信号を蓄積するようにレートを変化させる。しかしながら、この方法はスタートアップディレーを短縮するものの、高価な記憶手段を必要とし、レート制御を行うので、処理が複雑になる。

【0031】本発明は上述した、圧縮されたビデオ信号、および、圧縮されたオーディオ信号、またはいずれか一方の復号に関して、チャンネル切換時、または、プレーバック時などにおけるスタートアップディレーを短縮する復号処理方法および復号処理系（装置）を提供することを目的とする。

【0032】

【課題を解決するための手段】本発明においては、所定の遅延時間で画像信号および音響信号をバッファリングする1つのバッファメモリ手段と1つの復号手段の他に、少なくとも1つの上記同様のバッファメモリ手段と、バッファメモリ手段に蓄積されたデータを無効化する少なくとも1つの疑似復号器を用いる。バッファメモリ手段は上述したように、圧縮されている画像信号、および、圧縮されている音響（音声）信号またはいずれかについて所定の遅延時間でバッファリングする。復号手段はバッファメモリ手段に蓄積されたデータを伸長などの復号処理を行う。疑似復号手段はバッファメモリ手段に蓄積されているデータを無効化する。以下、チャンネル選択の場合とプレーバックの場合とについて例示する。

【0033】チャンネル切換の場合について述べる。本発明の復号装置は、少なくとも圧縮された画像信号を複数チャンネルについて受入れ、該複数チャンネルのうち選択されたチャンネルについての圧縮された画像信号を出力する手段と、該選択出力手段から出力される画像信号を受け入れるように前記選択出力手段に作動的に接続された、少なくとも2つの並列動作可能なバッファメモリ手段と、該バッファメモリ手段のいずれかに作動的に接続され、該接続されたバッファメモリ手段に蓄積された画像信号を読み出して復号処理する少なくとも1つの復号手段と、前記バッファメモリ手段のうち、前記復号手段が作動的に接続されていないほうのいずれかのバッファメモリ手段に作動的に接続され、該接続されたバッファメモリ手段に蓄積された画像信号を無効化処理する少なくとも1つの疑似復号手段とを有する。好適には、連続的なチャンネル切換に則して、前記復号手段が1つ設けられ、前記疑似復号手段が、チャンネル位置的に前記復号手段を挟んで前後に2つ設けられ、前記バッファメモリ手段が3つ設けられ、前記復号手段に作動的に接続されるバッファメモリ手段に、前記選択出力手段から選択されたチャンネルの画像信号が印加されて画像信号が蓄積され、前記復号手段は該画像信号が蓄積されているバッファメモリ手段に蓄積された画像信号を復号処理し、前記疑似復号手段のうちのチャンネル選択に後行する位置の疑似復号手段がチャンネル選択直前に画像信号が蓄積されていたバ

ッファメモリ手段の画像信号を無効化する。さらに好適には、前記復号処理を、前記圧縮された画像信号と同時的に圧縮された音声信号についても行う。また、特定的には、前記画像信号および前記音声信号がビットストリーム形態である。

【0034】プレーバックの場合について述べる。本発明の復号装置は、少なくとも圧縮された画像信号を受入れる並列動作可能な少なくとも2つのバッファメモリ手段と、該バッファメモリ手段のいずれかに作動的に接続され、該接続されたバッファメモリ手段に蓄積された画像信号を読み出して復号処理する少なくとも1つの復号手段と、前記バッファメモリ手段のうち、前記復号手段が作動的に接続されていないほうのいずれかのバッファメモリ手段に作動的に接続され、該接続されたバッファメモリ手段に蓄積された画像信号を無効化処理する少なくとも1つの疑似復号手段とを有する。この復号装置において、プレーバックが要求されたとき、要求されたプレーバック時点からの画像信号を前記疑似復号手段に作動的に接続されているバッファメモリ手段にバッファリングし、前記復号手段が該新たにバッファリングされている画像信号を復号し、前記疑似復号手段がプレーバック要求前の画像信号が蓄積されているバッファメモリ手段に蓄積された画像信号を無効化する。好適には、前記復号処理を、前記圧縮された画像信号と同時的に圧縮された音声信号についても行う。また特定的には、前記画像信号および前記音声信号がビットストリーム形態である。

【0035】

【作用】チャンネル切換の作用について述べる。チャンネル切換があったとき、選択出力手段は新たに選択されたチャンネルの画像信号を未使用状態のバッファメモリ手段にバッファリングし、復号手段は該新たにバッファリングされている画像信号を復号する。疑似復号手段は、選択前のチャンネルの画像信号がまだ蓄積されているバッファメモリ手段に蓄積された画像信号を無効化する。これにより、復号手段が選択前のバッファメモリ手段に蓄積されている画像信号を排出する時間、つまり、スタートアップディレーを待たずに、新たに選択されたチャンネルの画像信号を復号できる。疑似復号手段は実際に復号処理を行う機能を有している必要はなく、単にバッファメモリ手段内のデータを無効化処理するものであり、その構成は簡単である。

【0036】プレーバックの作用について述べる。プレーバックが要求されたとき、要求されたプレーバック時点からの画像信号を未使用状態のバッファメモリ手段にバッファリングし、復号手段が該新たにバッファリングされている画像信号を復号する。疑似復号手段がプレーバック要求前の画像信号がまだ蓄積されているバッファメモリ手段に蓄積されている画像信号を無効化する。

【0037】



【実施例】本発明の復号方法および復号装置の実施例を述べる。図1は本発明の復号装置の第1実施例としての、ビデオ信号を復号処理するビデオ信号復号装置10の構成図である。図1に示した復号装置は、従来技術として、図19を参照して述べた復号装置に対応している。つまり、このビデオ信号復号装置10は、たとえば、圧縮されたビデオ信号を伸長などの復号処理を行うテレビジョン受像機などにおいて、複数チャンネルについてのチャンネル切換がある場合の復号処理を例示する。オーディオ信号についても同様の構成となるが、図解の関係で省略する。

【0038】なお、ビデオ信号復号装置10にビデオ信号およびオーディオ信号を提供する信号処理系としては、図5および図18に図解した信号処理系であり、符号化処理系100において、ビデオ信号とオーディオ信号とを同時に圧縮し、タイムスタンプをつけてデータ蓄積系5またはデータ伝送系5に送出し、復号処理系600において、ビデオ信号復号装置10がそのような圧縮されたビデオ信号とオーディオ信号を復号する。データ伝送系またはデータ蓄積系5としては、データ伝送系として、たとえば、衛星通信系、データ通信系などが対象となり、データ蓄積系として、たとえば、CD-ROM、LD、ビデオテープなどが対象となる。以下、本実施例においては、データ伝送系またはデータ蓄積系5として、衛星通信系、または、CD-ROM、LDなどを用いる場合について述べる。

【0039】図1に示したビデオ信号復号装置10は、デマルチプレクシング回路11、4個並列に設けられた第1のビデオ信号バッファメモリ12～第4のビデオ信号バッファメモリ15、4個並列に設けられた第1のビデオ信号復号器16～第4のビデオ信号復号器19、および、1つの再生装置20を有する。このビデオ信号復号装置10において、デマルチプレクシング回路11はチャンネル切換に応じて、選択されたチャンネルのビデオ信号をそのチャンネルに対応するビデオ信号バッファメモリに出力する。本実施例は、チャンネル数として4チャンネルある場合を例示する。第1のビデオ信号バッファメモリ12～第4のビデオ信号バッファメモリ15は、対応するビデオ信号復号器と協働して、上述した所定時間の遅延時間でバッファリング動作を行う。バッファメモリは、図22を参照して述べたような特に高速動作をするものを用いる必要はない。第1のビデオ信号復号器16～第4のビデオ信号復号器19のそれぞれは、基本的に図19を参照して述べた復号器と同じ構成および機能を有しており、その前段に設けられた対応するバッファメモリ12～19に蓄積されたビデオ信号を、上述した復号処理方法に基づいて復号する。選択されたチャンネルに対応するビデオ信号復号器において復号されたビデオ信号が再生装置20において再生される。再生装置20は本実施例においてはビデオ信号の再生のみであるが、オ

ーディオ信号の復号をも行う場合は再生装置20はオーディオ信号の再生をも行う。

【0040】図1は、チャンネル2が選択されている状態を示している。したがって、この状態においては、デマルチプレクシング回路11から第2のビデオ信号バッファメモリ13にビデオ信号が蓄積され、第2のビデオ信号復号器17が第2のビデオ信号バッファメモリ13に蓄積されているビデオ信号を復号処理して、その復号結果を再生装置20に出力する。ユーザーがチャンネル2からチャンネル1に切り換えた場合、デマルチプレクシング回路11からチャンネル1のビデオ信号が第1のビデオ信号バッファメモリ12に出力され、第1のビデオ信号バッファメモリ12にチャンネル1のビデオ信号が蓄積されている。これに伴って、第1のビデオ信号復号器16が復号処理に関して起動され、第2のビデオ信号復号器17は復号処理に関して停止される。これにより、再生装置20が第1のビデオ信号復号器16に作動的に接続され、第2の実ビデオ信号復号器17は再生装置20から切り離される。第1のビデオ信号復号器16は第1のビデオ信号バッファメモリ12に蓄積されたビデオ信号を復号処理し、再生装置20にその復号結果を出力する。この切換にはスタートアップディレーが存在しない。なお、以前に選択されていたチャンネル2に対応する第2のビデオ信号バッファメモリ13にはもはや新たなビデオ信号の入力はなくなるが、依然として第2のビデオ信号バッファメモリ13にはチャンネル切換前に蓄積されたビデオ信号が残っている。そこで、第2のビデオ信号復号器17は、スタートアップディレー機能によって、第2のビデオ信号バッファメモリ13に残っているビデオ信号を排出し、次のチャンネル切換があっても、第2のビデオ信号バッファメモリ13をスタートアップディレーなしで使用可能にしておく。

【0041】以上のように、チャンネル数に対応して、バッファメモリとビデオ信号復号器を設けると、スタートアップディレーなしでチャンネル切換に即応できる。しかしながら、図1に図解したビデオ信号復号装置10は、チャンネル数だけ、バッファメモリおよび実ビデオ信号復号器を設けているが、ビデオ信号復号器のそれぞれは上述したように、バッファメモリと協働してバッファ処理を行う他、タイムスタンプに基づく同期処理、伸長処理などの復号処理を高速に行うから、回路構成が複雑であり、DSPなどを用いて構成すると高価格となる。そこで、上述した問題を解決する他の実施例を述べる。

【0042】図2は本発明の復号装置の第2実施例としてのビデオ信号復号装置10Aの構成図である。このビデオ信号復号装置10Aは、デマルチプレクシング回路11、第1のビデオ信号バッファメモリ12～第4のビデオ信号バッファメモリ15、および、第1の実ビデオ信号復号器16および第2の実ビデオ信号復号器17、第1の疑似ビデオ信号復号器21および第2の疑似ビデオ

オ信号復号器22、および、再生装置20を有する。第2実施例においても、チャンネル数は4であるから、バッファメモリを4系統設けている。第1の実ビデオ信号復号器16および第2の実ビデオ信号復号器17は、図1に図解した第1のビデオ信号復号器16および第2のビデオ信号復号器17と実質的に同じ構成および機能を有しているが、第2実施例において、「実(real)」を付加したのは、実際に復号処理を行うことを意味し、実際に復号処理を行わない、第1の疑似ビデオ信号復号器21および第2の疑似ビデオ信号復号器22の「疑似(Quasi)」と区別するためである。

【0043】第1の疑似ビデオ信号復号器21および第2の疑似ビデオ信号復号器22は、その前段に作動的に接続されたバッファメモリに蓄積されているビデオ信号を実質的に無効化するものである。この無効化処理の具体的処理例をいくつか例示する。第1の無効化方法は、疑似ビデオ信号復号器21(または22)は、上述したパケットヘッダからのタイムスタンプ、および、ビデオ信号シーケンスレイヤーからのピクチャーレートに基づいてバッファメモリに蓄積されているピクチャーのヘッダ(先頭位置)を検出し、それ以降のビデオ信号を無効化する。第2の無効化方法は、疑似ビデオ信号復号器21(または22)は、バッファメモリに蓄積されているビデオ信号の蓄積状態を示す制御ワードを強制的にクリアしてそのバッファメモリにはビデオ信号が存在していないようにする。第3の無効化方法は、疑似ビデオ信号復号器21(または22)は、バッファメモリは通常、FIFO(First-in First-out)動作する場合が多いので、このFIFO処理状態をクリアしてそのバッファメモリにはビデオ信号が存在していないようにする。第1の疑似ビデオ信号復号器21および第2の疑似ビデオ信号復号器22はこのように、簡単なメモリ制御処理であるから、簡単な構成でよく、安価に構成できる。つまり、第1の実ビデオ信号復号器16および第2の実ビデオ信号復号器17のような複雑な回路構成とはならない。しかも、第1の疑似ビデオ信号復号器21および第2の疑似ビデオ信号復号器22は強制的にバッファメモリのビデオ信号を無効化するから、次のチャンネル選択があっても、即応できる。

【0044】図2(A)は、第1の実ビデオ信号復号器16と第2の実ビデオ信号復号器17とがそれぞれ、チャンネル1のビデオ信号とチャンネル2のビデオ信号を処理している状態を示す。図2(B)に示したように、ユーザーがチャンネル3を選択すると、デマルチプレクシング回路11が第1の疑似ビデオ信号復号器21によってすでに空き状態になっている第3のビデオ信号バッファメモリ14にチャンネル2のビデオ信号を出力する。これにより、第3のビデオ信号バッファメモリ14にビデオ信号が蓄積され始める。同時に第1の実ビデオ信号復号器16が、作動的に接続されていた第1のビデオ信号バッ

ファメモリ12から切り離され、第3のビデオ信号バッファメモリ14に作動的に接続されて、第3のビデオ信号バッファメモリ14に蓄積されているビデオ信号を復号処理する。この復号処理により、再生装置20は第2の実ビデオ信号復号器17から第1の実ビデオ信号復号器16に作動的に接続され、第1の実ビデオ信号復号器16で復号処理したビデオ信号が再生装置20に出力される。一方、第1の実ビデオ信号復号器16から切り離された第1のビデオ信号バッファメモリ12には第1の疑似ビデオ信号復号器21が作動的に接続され、第1のビデオ信号バッファメモリ12に残っているビデオ信号を無効化する。

【0045】第2実施例において、チャンネル数だけバッファメモリが設けられているから、デマルチプレクシング回路11と第1のビデオ信号バッファメモリ12～第4のビデオ信号バッファメモリ15との接続関係は固定しておき、第1のビデオ信号バッファメモリ12～第4のビデオ信号バッファメモリ15と第1の実ビデオ信号復号器16および第2の実ビデオ信号復号器17、並びに、第1の疑似ビデオ信号復号器21と第2の疑似ビデオ信号復号器22との接続関係を作動的に接続する場合を例示した。第2実施例においては、第1の疑似ビデオ信号復号器21は第1の実ビデオ信号復号器16に作動的に接続されていたバッファメモリのビデオ信号の無効化処理を行い、第2の疑似ビデオ信号復号器22は第2の疑似ビデオ信号復号器22に作動的に接続されていたバッファメモリのビデオ信号の無効化を行う。第2実施例のビデオ信号復号装置10Aには2つの実ビデオ信号復号器16、17が設けられているから、チャンネル選択が任意に行われても、迅速に選択されたチャンネルについて、スタートアップディレーなしに、復号処理ビデオ信号が提供できる。

【0046】図3は本発明の復号装置の第3実施例としてのビデオ信号復号装置10Bの構成図である。このビデオ信号復号装置10Bは、特に、チャンネルが順番に切り換えられる方式に適した構成である。つまり、チャンネル選択スイッチ(図示せず)内の上シフトボタンを1回押すと、チャンネル数が1つ増加し、下シフトボタンを1回押すとチャンネル数が1つ減少するチャンネル選択方式に適した構成である。ビデオ信号復号装置10Bは、デマルチプレクシング回路11、第1のビデオ信号バッファメモリ12～第3のビデオ信号バッファメモリ14、実ビデオ信号復号器16、第1の疑似ビデオ信号復号器21および第2の疑似ビデオ信号復号器22、および、再生装置20を有する。つまり、このビデオ信号復号装置10Bには、チャンネル数に依存せず、3個のバッファメモリ12～15と、1個の実ビデオ信号復号器16と、2個の疑似ビデオ信号復号器21、22が設けられている。実ビデオ信号復号器16は選択されたチャンネルのビデオ信号について復号処理を行う。第1の疑似ビデオ信



号復号器21は、チャンネルが1つ増加したとき、それまで実ビデオ信号復号器16が読み出していたバッファメモリに残っているビデオ信号を無効化する。第2の疑似ビデオ信号復号器22は、チャンネルが1つ減少したとき、それまで実ビデオ信号復号器16が読み出していたバッファメモリに残っているビデオ信号を無効化する。

【0047】図3(A)は、チャンネル2が選択されており、実ビデオ信号復号器16がチャンネル2のビデオ信号を蓄積している第2のビデオ信号バッファメモリ13からビデオ信号を読みだし、復号処理して、再生装置20に復号処理結果を出力している状態を示している。ユーザーがチャンネル選択スイッチ内の上シフトボタンを押すと、図3(B)に示したように、チャンネル3が選択される。デマルチプレクシング回路11は、第2の疑似ビデオ信号復号器22によって事前に無効化されている第3のビデオ信号バッファメモリ14にチャンネル3のビデオ信号を出力しはじめる。チャンネル切換によって実ビデオ信号復号器16とバッファメモリとの接続関係は、第2のビデオ信号バッファメモリ13から第3のビデオ信号バッファメモリ14に切り換わる。実ビデオ信号復号器16は新たな接続関係の第3のビデオ信号バッファメモリ14に蓄積されたビデオ信号を復号処理する。一方、第1の疑似ビデオ信号復号器21は切り換えられたチャンネル2のビデオ信号が残っている第2のビデオ信号バッファメモリ13のビデオ信号を無効化する。さらに、ユーザーがチャンネル選択スイッチ内の上シフトボタンを押すと、図3(C)に示したように、チャンネル4が選択される。デマルチプレクシング回路11は、第2の疑似ビデオ信号復号器22によって事前に無効化されている第1のビデオ信号バッファメモリ12にチャンネル4のビデオ信号を出力しはじめる。チャンネル切換によって実ビデオ信号復号器16とバッファメモリとの接続関係は、第3のビデオ信号バッファメモリ14から第1のビデオ信号バッファメモリ12に切り換わる。実ビデオ信号復号器16は新たな接続関係の第1のビデオ信号バッファメモリ12に蓄積されたビデオ信号を復号処理する。一方、第1の疑似ビデオ信号復号器21は切り換えられたチャンネル3のビデオ信号が残っている第3のビデオ信号バッファメモリ14のビデオ信号を無効化する。

【0048】ユーザーがチャンネル選択スイッチ内の上シフトボタンを押していった場合を述べたが、下シフトボタンを押していった場合は、上述した順序と逆に、第2の疑似ビデオ信号復号器22が実ビデオ信号復号器16から切り離されたバッファメモリの無効化処理を行う。このように、第3実施例においては、バッファメモリ、実ビデオ信号復号器16、および、疑似ビデオ信号復号器21、22がチャンネル選択状態に依存して、接続状態が変化する。第3実施例によれば、チャンネル数に依存されずに、3並列のバッファメモリ、1つの実ビデオ信号復号器16、2つの疑似ビデオ信号復号器21、22を

設けるだけでよいから、回路構成が簡単であり、低価格でビデオ信号復号装置10Bを実現できる。

【0049】図4は本発明の復号装置の第4実施例としてのビデオ信号復号装置10Cの構成図である。ビデオ信号復号装置10Cは、デマルチプレクシング回路11、第1のビデオ信号バッファメモリ12および第2のビデオ信号バッファメモリ13、実ビデオ信号復号器16、疑似ビデオ信号復号器21、および、再生装置20を有する。つまり、このビデオ信号復号装置10Bには、チャンネル数に依存せず、2個のバッファメモリ12～15と、1個の実ビデオ信号復号器16と、1個の疑似ビデオ信号復号器21が設けられている。実ビデオ信号復号器16は選択されたチャンネルのビデオ信号について復号処理を行う。疑似ビデオ信号復号器21は、それまで実ビデオ信号復号器16が読み出していたバッファメモリに残っているビデオ信号を無効化する。

【0050】図4(A)は、チャンネル1が選択されており、実ビデオ信号復号器16がチャンネル1のビデオ信号を蓄積している第1のビデオ信号バッファメモリ12からビデオ信号を読みだし、復号処理して、再生装置20に復号処理結果を出力している状態を示している。ユーザーがチャンネル2を選択すると、図4(B)に示したように、チャンネル2が選択される。デマルチプレクシング回路11は、疑似ビデオ信号復号器21によって事前に無効化されている第2のビデオ信号バッファメモリ13にチャンネル2のビデオ信号を出力しはじめる。チャンネル切換によって実ビデオ信号復号器16とバッファメモリとの接続関係は、第1のビデオ信号バッファメモリ12から第2のビデオ信号バッファメモリ13に切り換わる。実ビデオ信号復号器16は新たな接続関係の第2のビデオ信号バッファメモリ13に蓄積されたビデオ信号を復号処理する。一方、疑似ビデオ信号復号器21は切り換えられたチャンネル1のビデオ信号が残っている第1のビデオ信号バッファメモリ12のビデオ信号を無効化する。

【0051】このように、第4実施例においては、バッファメモリ12、13、実ビデオ信号復号器16、および、疑似ビデオ信号復号器21がチャンネル選択状態に依存して、接続状態が変化する。第4実施例によれば、チャンネル数に依存されずに、2並列のバッファメモリ、1つの実ビデオ信号復号器16、1つの疑似ビデオ信号復号器21を設けるだけでよいから、回路構成が簡単であり、低価格でビデオ信号復号装置10Cを実現できる。

【0052】上述した第1～第4の実施例は、チャンネル選択を行う場合について例示したが、プレーバックを行う場合も、上述したビデオ信号復号装置を適用できる。チャンネル選択とプレーバックとの相違は、プレーバック場合は、プレーバック前のビデオ信号が以前に選択されているチャンネルのビデオ信号に相当し、プレーバック後のビデオ信号が新たに選択されたチャンネルのビデオ信号

に相当する。つまり、たとえば、図4のビデオ信号復号装置10Cを例示すると、図4(A)において、チャンネル1としてプレーバック前のビデオ信号を復号処理している場合に、プレーバックがあった場合、チャンネル2としてプレーバックが行われるビデオ信号を復号処理する。これにより、実ビデオ信号復号器16はプレーバックされた時点から第2のビデオ信号バッファメモリ13に蓄積されたビデオ信号を復号処理し、疑似ビデオ信号復号器21は第1のビデオ信号バッファメモリ12に蓄積されたビデオ信号を無効化し、次のプレーバックに備える。本発明によれば、プレーバックにおいても、スタートアップディレーなしにプレーバック後のビデオ信号が再生できる。

【0053】プレーバック処理について、図4に図解したビデオ信号復号装置に限らず、図1～図3に図解したビデオ信号復号装置を適用できることは言うまでもない。

【0054】以上の実施例は、圧縮されて入力されるビデオ信号をバッファリングし伸長などの復号処理を行う場合について述べたが、本発明は、そのようなビデオ信号の処理に限らず、圧縮されて入力されるオーディオ信号をバッファリングし伸長などの復号処理を行う場合、および、圧縮されて入力されるビデオ信号およびオーディオ信号の両者についても、上記同様に処理できる。

【0055】

【発明の効果】以上、本発明によれば、プレーバックまたはチャンネル切換のいずれの場合も、スタートアップディレーなしでビデオ信号およびオーディオ信号を再生できる。

【図面の簡単な説明】

【図1】本発明の復号装置の第1実施例としての、ビデオ信号復号装置の構成図である。

【図2】本発明の復号装置の第2実施例としての、ビデオ信号復号装置の構成図である。

【図3】本発明の復号装置の第3実施例としての、ビデオ信号復号装置の構成図である。

【図4】本発明の復号装置の第4実施例としての、ビデオ信号復号装置の構成図である。

【図5】従来のMPEGに基づくビデオ信号およびオーディオ信号処理装置の構成図である。

【図6】図5における拘束パラメータビットストリームのフォーマットを示す図であり、(A)は図5における符号処理系においてマルチプレクシングしたビットストリームを示し、(B)は復号処理系においてフォーマット変換した信号フォーマットを示す。

【図7】図5に示した復号処理系の構成図である。

【図8】従来の復号処理系におけるオーディオ信号受信バッファに入力されるオーディオ信号とオーディオ信号復号器に入力されるオーディオ信号とのタイミングの関係を示す図である。

【図9】従来の復号処理系におけるオーディオ信号受信バッファに入力されるオーディオ信号とオーディオ信号復号器に入力されるオーディオ信号と他のタイミングの関係を示す図である。

【図10】バッファにおけるオーバーフローとアンダーフローを示す図である。

【図11】図10に示したオーバーフローまたはアンダーフローを防止する方法を示す図である。

【図12】スタートアップディレーを説明する図である。

【図13】他のバッファリング処理を示す図である。

【図14】さらに他のバッファリング処理を示す図である。

【図15】先行出願の復号器の構成図である。

【図16】図15に示した復号器で処理するビットストリームを示す図である。

【図17】従来の他のビットストリームを示す図である。

【図18】MPEGに基づく他の従来のビデオ信号およびオーディオ信号処理装置の構成図である。

【図19】従来の復号装置の概要を示す図である。

【図20】スタートアップディレーを示す第1のグラフである。

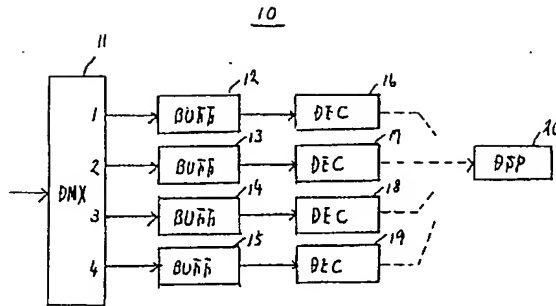
【図21】スタートアップディレーを示す第2のグラフである。

【図22】スタートアップディレーを示す第3のグラフである。

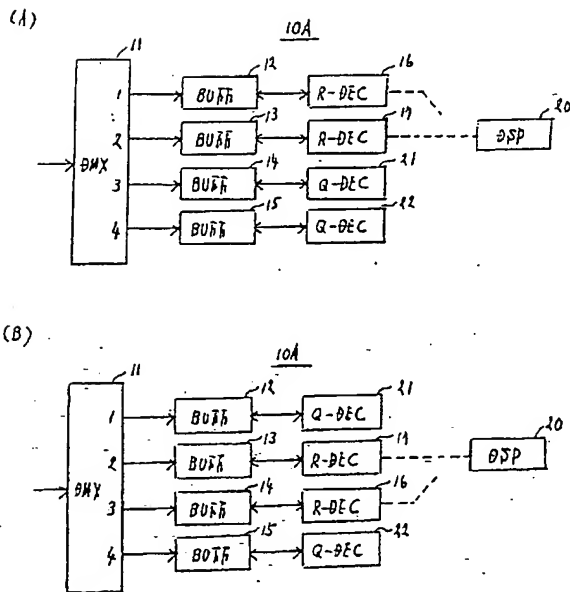
【符号の説明】

- 1・・・符号処理系
- 2・・・非圧縮ビデオ信号源
- 3・・・非圧縮オーディオ信号源
- 4・・・拘束パラメータシステムターゲットデコーダ
- 5・・・データ伝送系またはデータ蓄積系
- 6・・・復号処理系
- 10～10C・・・ビデオ信号復号装置
- 11・・・デマルチプレクシング回路
- 12～15・・・ビデオ信号バッファメモリ
- 16～19・・・実ビデオ信号復号器
- 20・・・再生装置
- 21～24・・・疑似ビデオ信号復号器

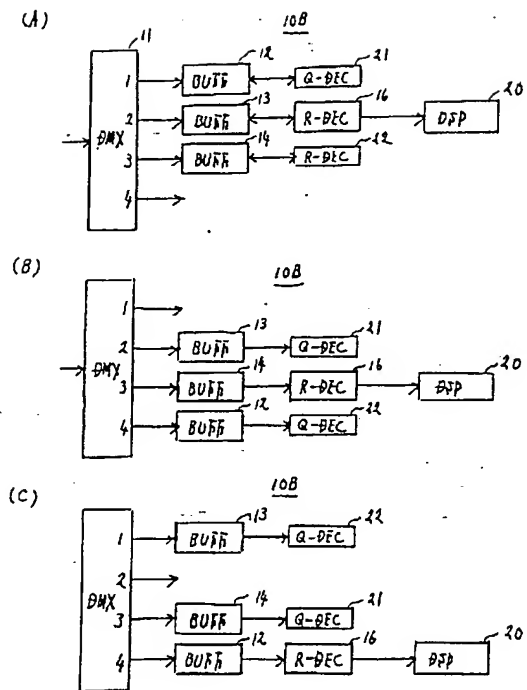
【図 1】



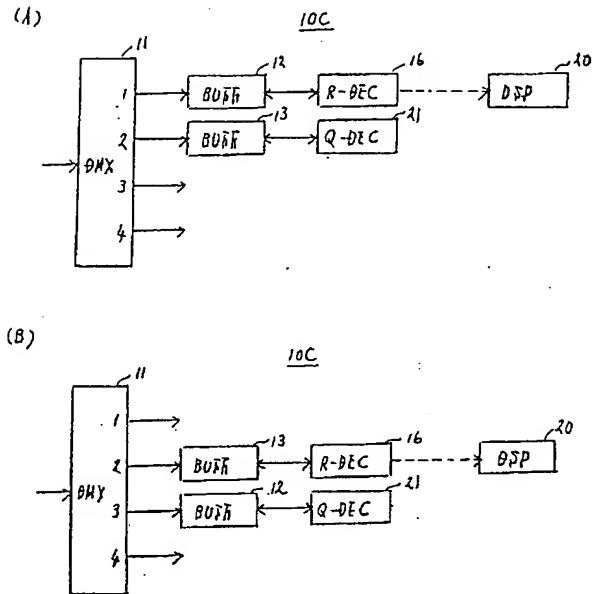
【図 2】



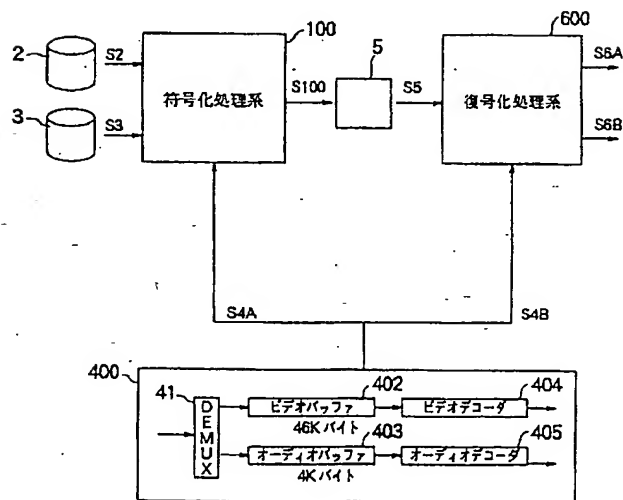
【図 3】



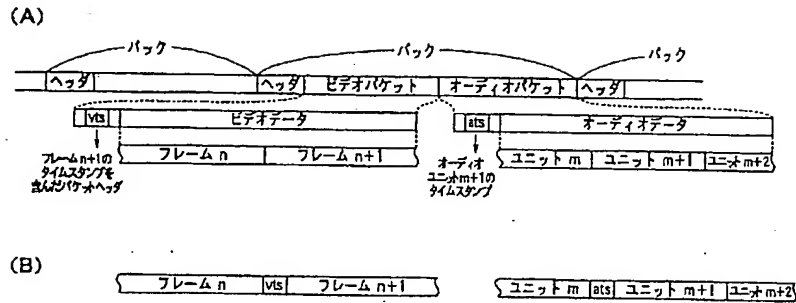
【図 4】



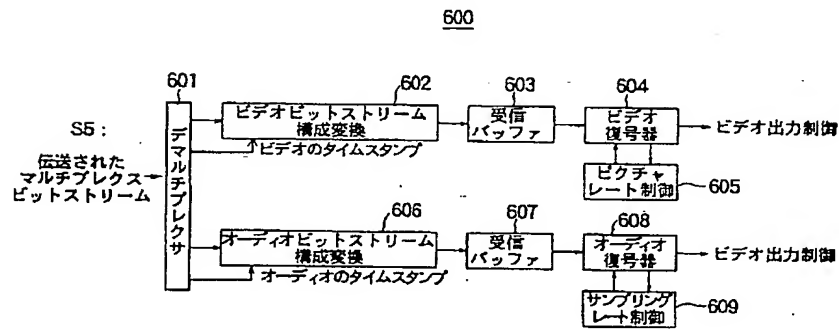
【図 5】



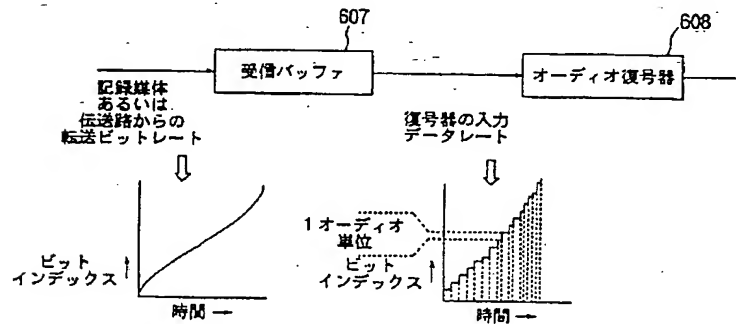
【図 6】



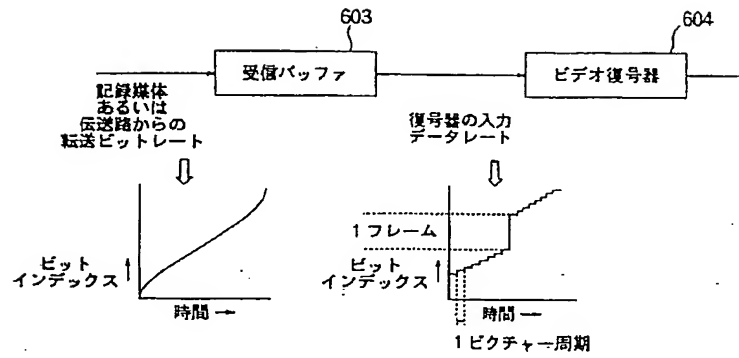
【図 7】



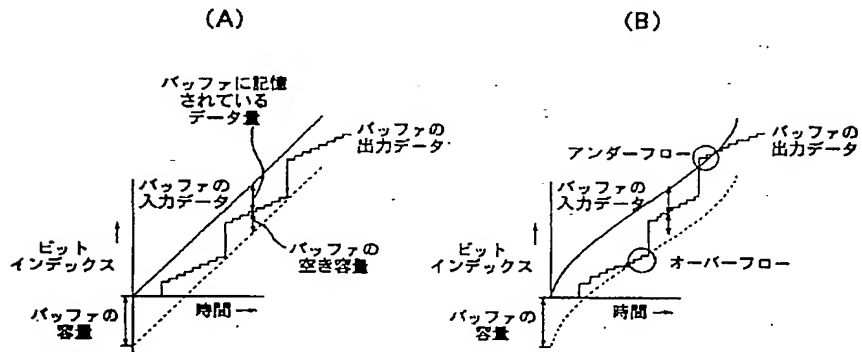
【図 8】



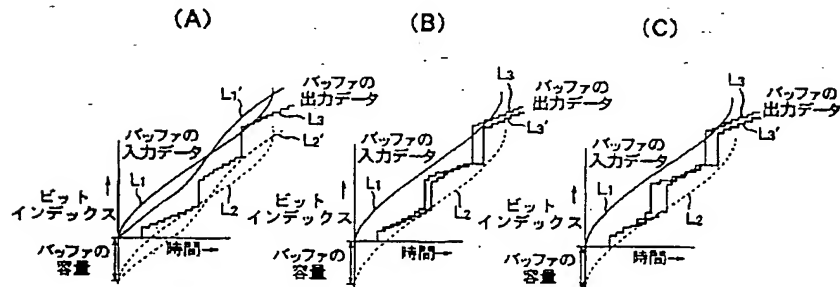
【図 9】



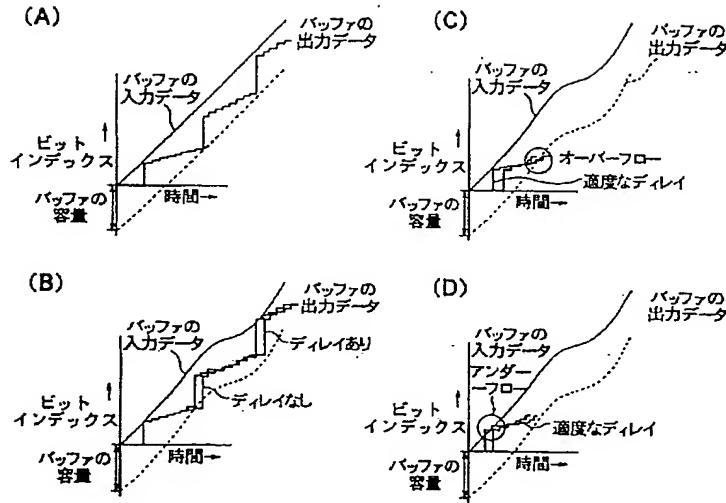
【図 10】



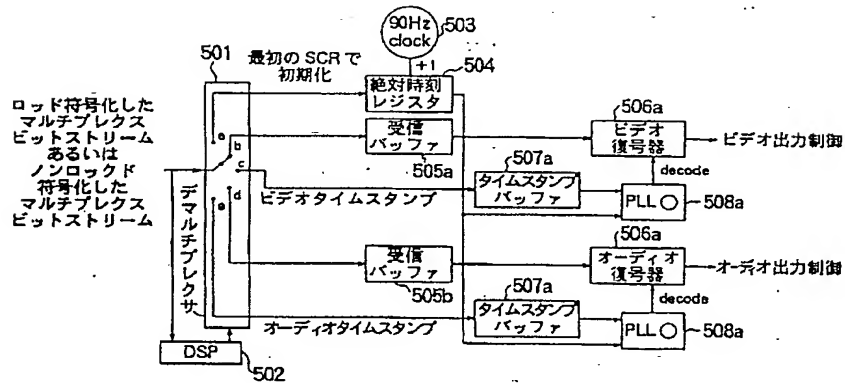
【図 11】



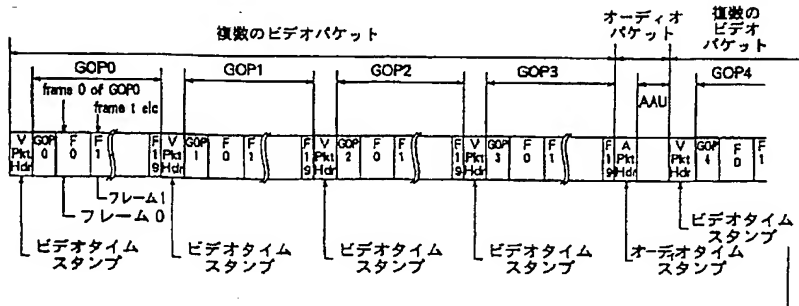
【図12】



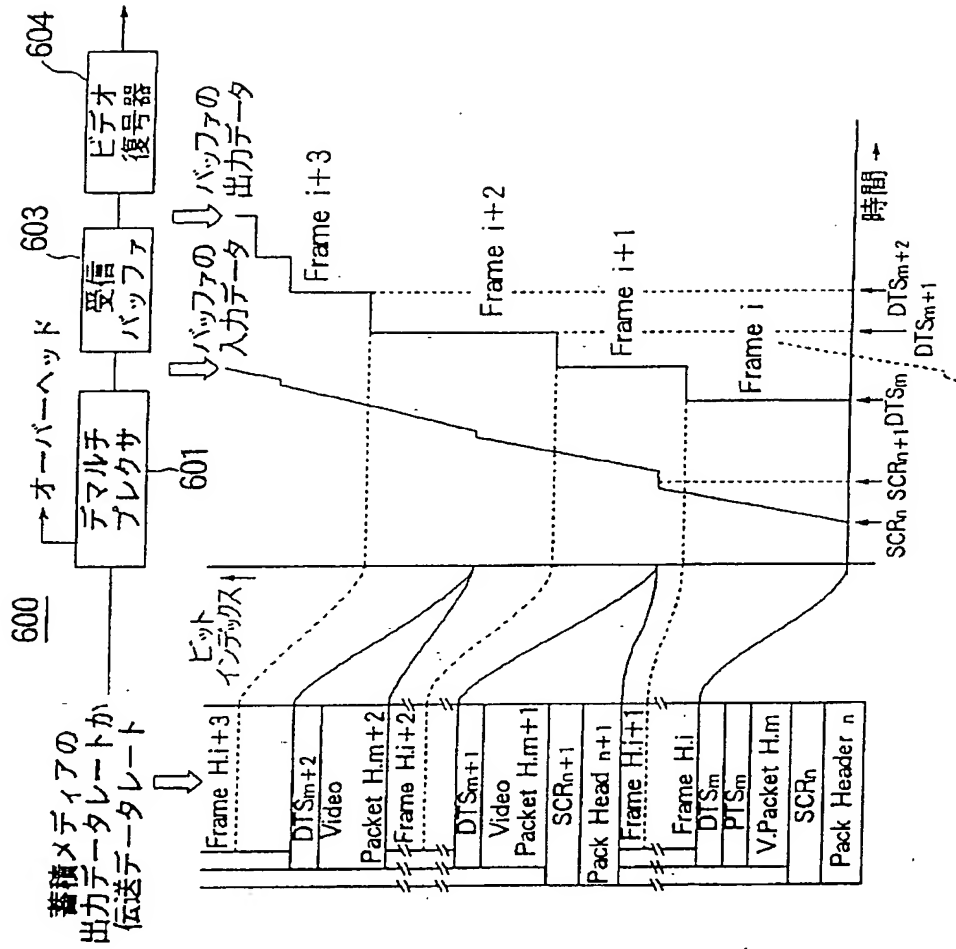
【図15】



【図16】

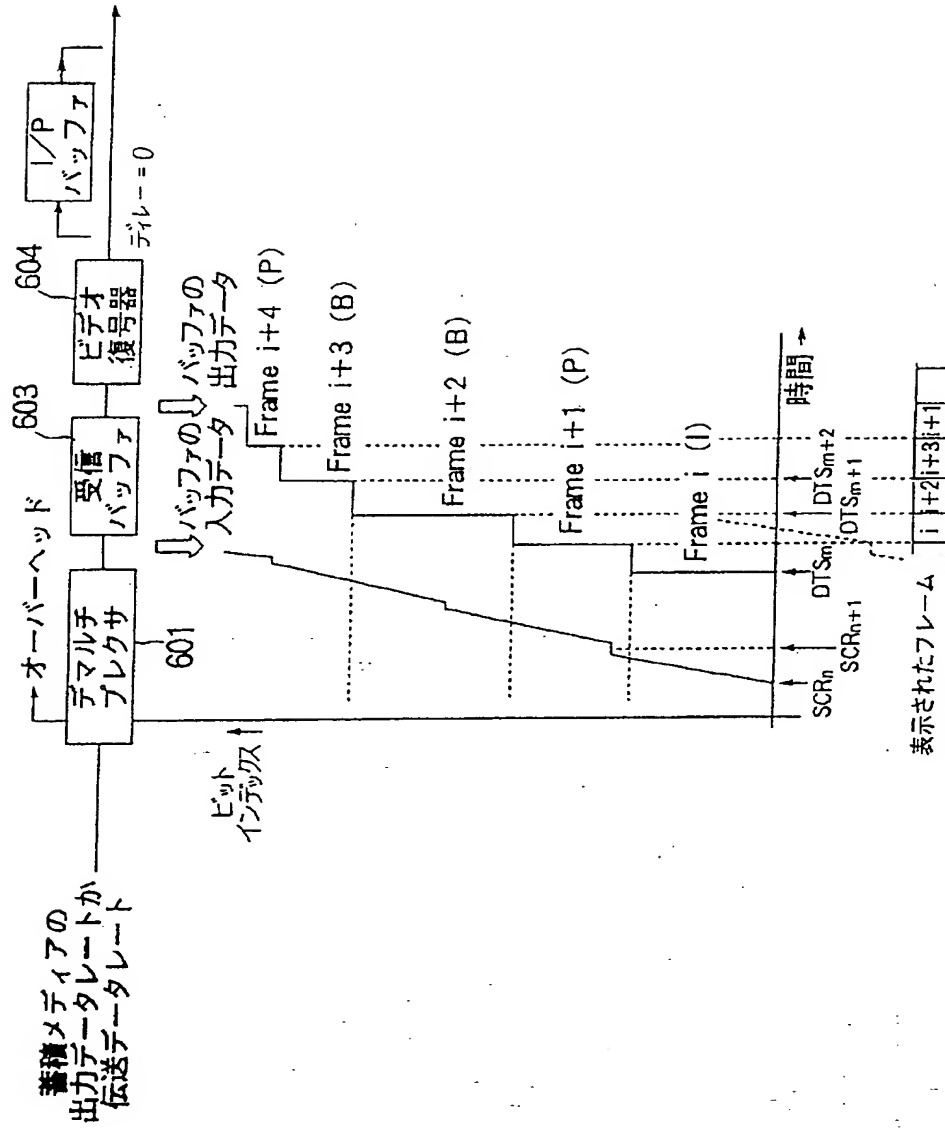


【図13】

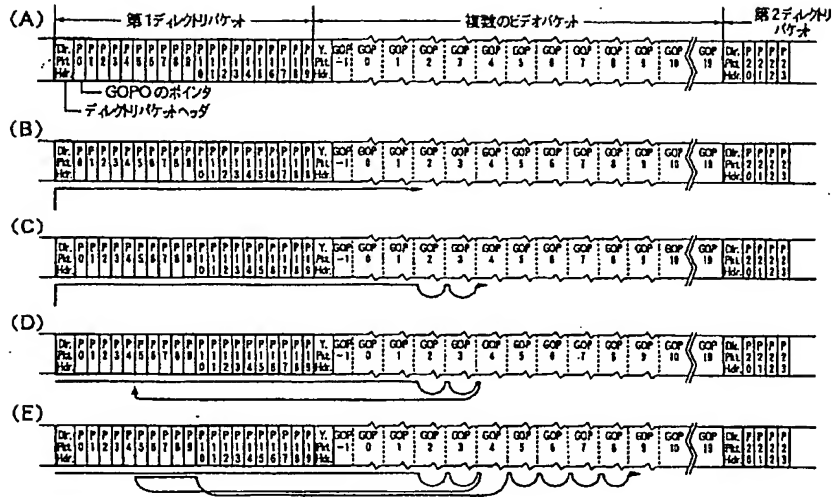




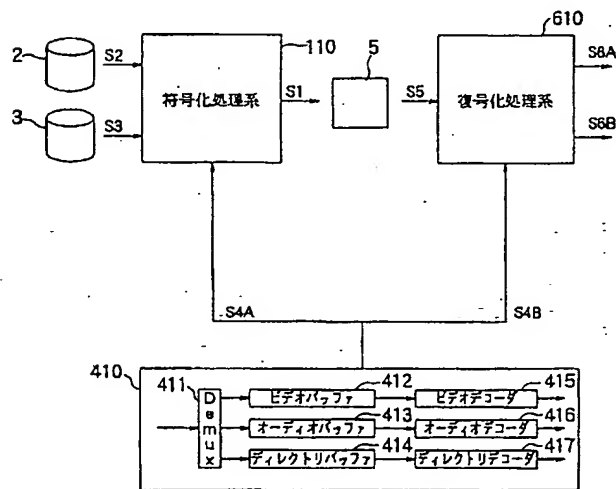
【図14】



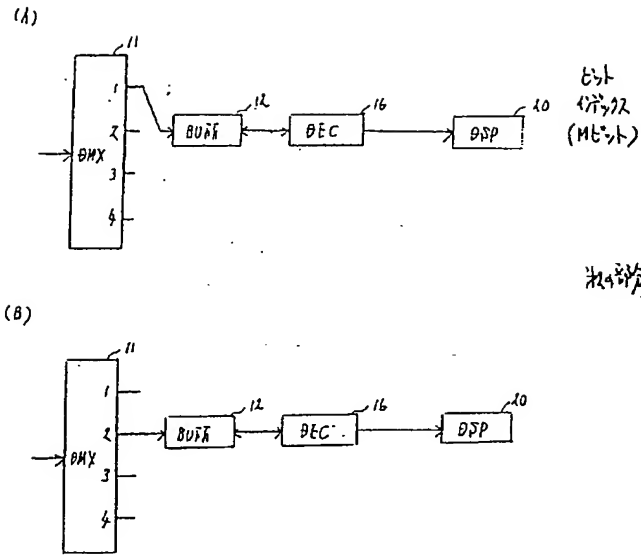
【図 17】



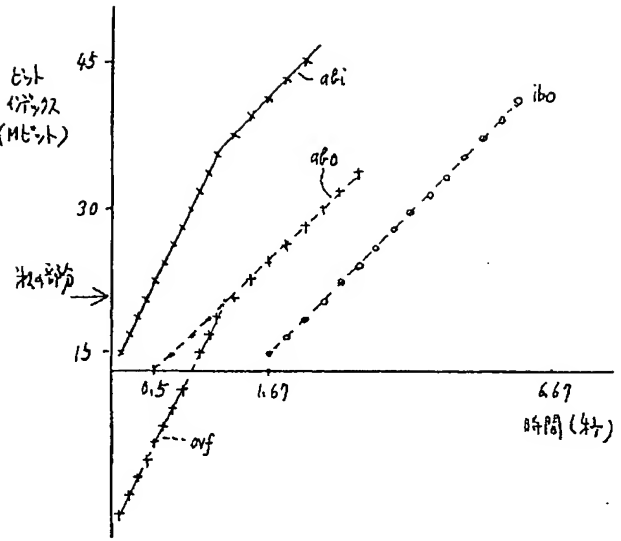
【図 18】



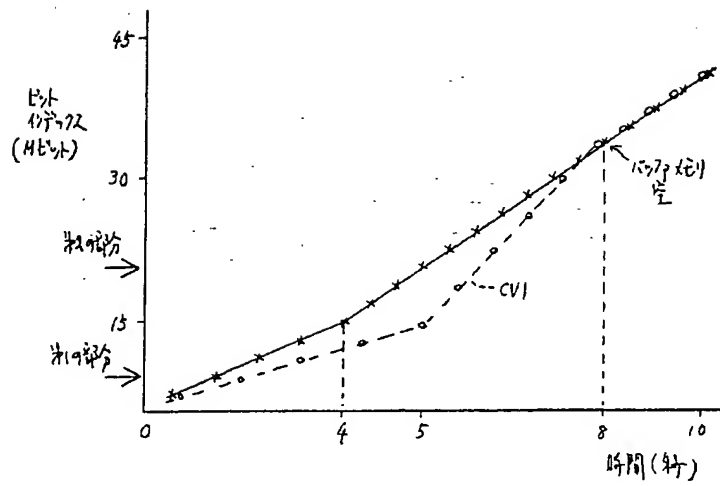
【図19】



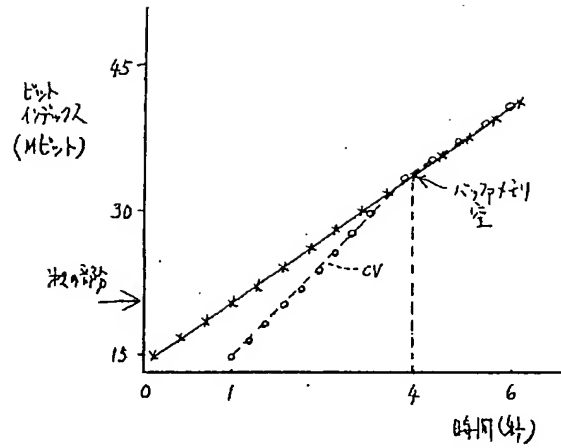
【図22】



【図20】



【図 2 1】



【手続補正書】

【提出日】平成 5 年 8 月 2 3 日

【補正方法】変更

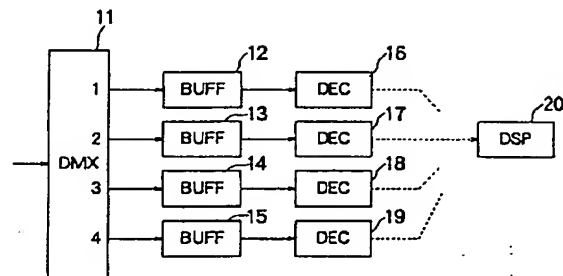
【手続補正 1】

【補正内容】

【補正対象書類名】図面

【図 1】

【補正対象項目名】図 1



【手続補正 2】

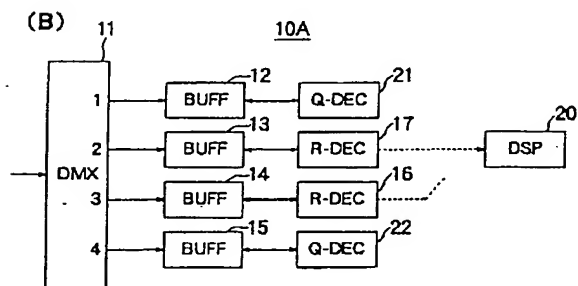
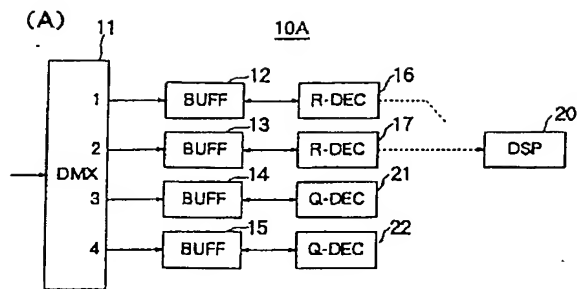
【補正方法】変更

【補正対象書類名】図面

【補正内容】

【補正対象項目名】図 2

【図 2】



【手続補正 3】

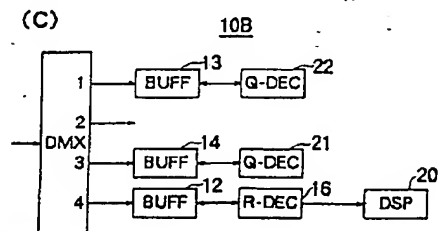
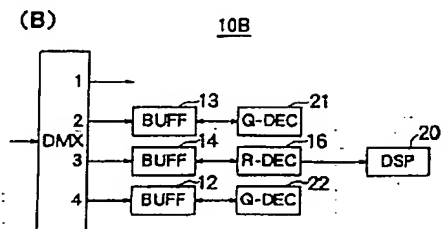
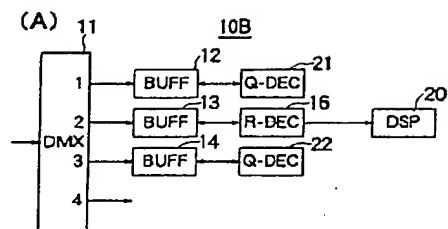
【補正対象書類名】図面

【補正対象項目名】図 3

【補正方法】変更

【補正内容】

【図 3】



【手続補正 4】

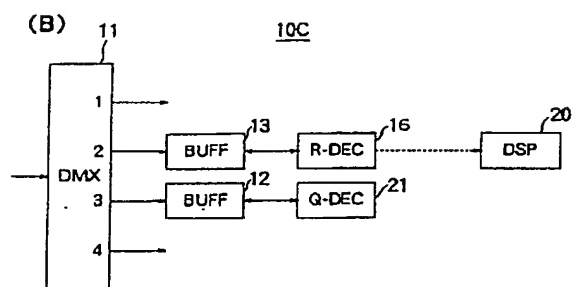
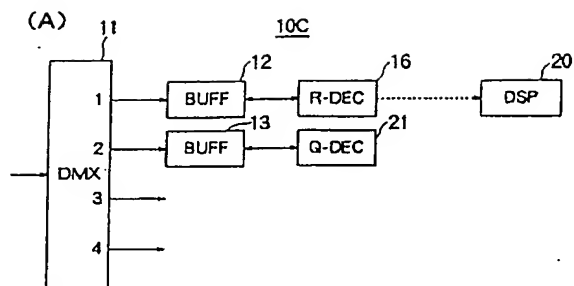
【補正対象書類名】図面

【補正対象項目名】図 4

【補正方法】変更

【補正内容】

【図 4】



【手続補正 19】

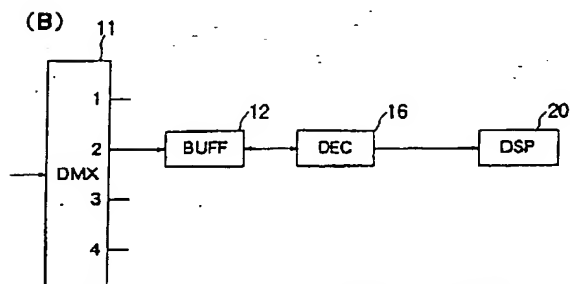
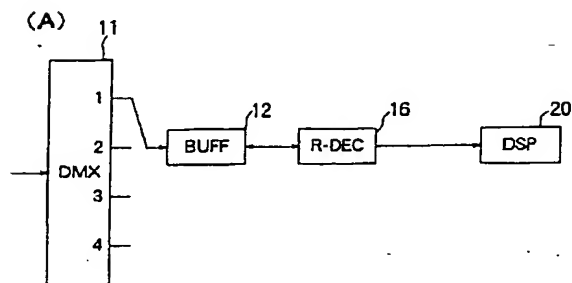
【補正対象書類名】図面

【補正対象項目名】図 19

【補正方法】変更

【補正内容】

【図 19】



【手続補正 20】

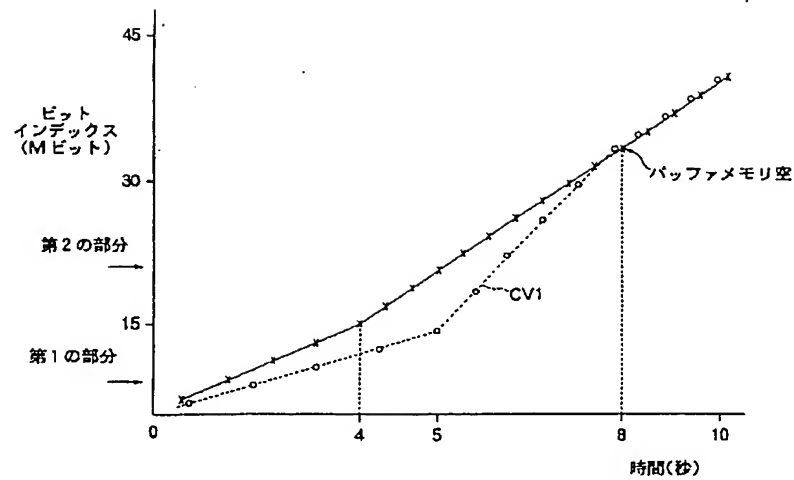
【補正対象書類名】図面

【補正対象項目名】図 20

【補正方法】変更

【補正内容】

【図 20】



【手続補正2 1】

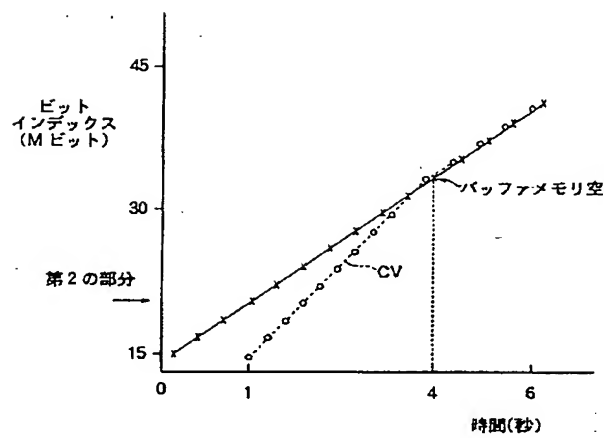
【補正対象書類名】図面

【補正対象項目名】図2 1

【補正方法】変更

【補正内容】

【図2 1】



【手続補正2 2】

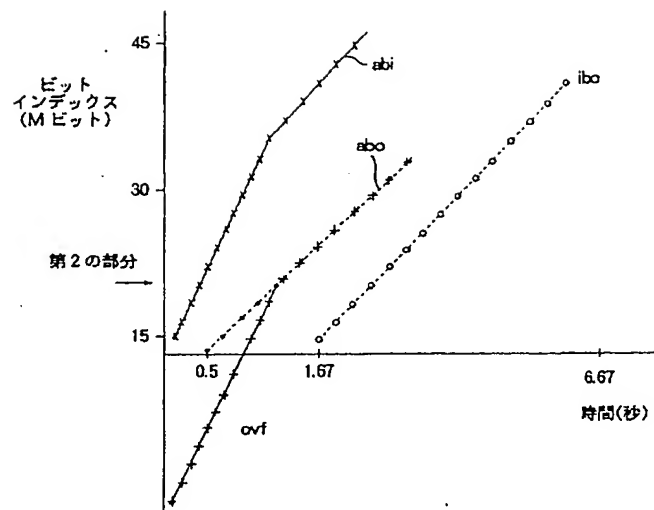
【補正対象書類名】図面

【補正対象項目名】図2 2

【補正方法】変更

【補正内容】

【図2 2】



フロントページの続き

(51) Int. Cl. <sup>6</sup>

H 0 4 N 7/24

識別記号

庁内整理番号

F I

技術表示箇所